

基于 FPGA 的嵌入式系统设计

徐欣 孙广富 卢启中

摘要: 可编程片上系统设计是一个崭新的、富有生机的嵌入式系统设计技术研究方向。本文在阐述可编程逻辑器件特点及其发展趋势的基础上,探讨了智力产权复用理念、基于嵌入式处理器内核和 xilinx FPGA 的 SOPC 软硬件设计技术,引入了基于因特网可重构逻辑概念并提出了设计实现方法,为基于 FPGA 的嵌入式系统设计提供了广阔的思路。

关键词: 可编程片上系统 现场可编程逻辑门阵列 智力产权内核 基于因特网可重构逻辑

Abstract: System on Programmable Chip (SOPC) is a new and vital aspect for embedded system designing. In this paper, the IP Reuse methodology and the software and hardware co-design technique based on Micro Blaze soft processor IP and xilinx FPGA will be discussed. The definition of Internet Reconfigurable Logic (IRL) is brought forward. It will put forward a broad approach to new embedded system design.

Key words: SOPC, FPGA, IP Core, Internet Reconfigurable Logic (IRL)

1 概述

1.1 FPGA 的特点及其发展趋势

嵌入式系统是一个面向应用、技术密集、资金密集、高度分散、不可垄断的产业,随着各个领域应用需求的多样化,嵌入式设计技术和芯片技术也经历着一次又一次的革新。虽然 ASIC 的成本很低,但设计周期长、投入费用高、风险较大,而可编程逻辑器件(Programmable Logical Device)设计灵活、功能强大,尤其是高密度现场可编程逻辑器件(Field Programmable Gate Array)其设计性能已完全能够与 ASIC 媲美,而且由于 FPGA 的逐步普及,其性能价格比已足以与 ASIC 抗衡。因此,FPGA 在嵌入式系统设计领域已占据着越来越重要的地位。

FPGA 的基本结构由以下几个部分构成:

- Ø 可编程逻辑功能模块 CLB (Configurable Logic Blocks)
- Ø 可编程输入输出模块 IOB (Input/Output Blocks)
- Ø 可编程内部互连资源 PI (Programmable Interconnection)

随着工艺的进步和应用系统需求,一般在 FPGA 中还包含以下可选资源:

- Ø 存储器资源 (Block RAM 和 Select RAM)
- Ø 数字时钟管理单元 (分频/倍频、数字延迟)
- Ø I/O 多电平标准兼容 (Select I/O)
- Ø 算数运算单元 (乘法器、加法器)
- Ø 特殊功能模块 (MAC 等硬 IP 核)
- Ø 微处理器 (PPC405 等硬处理器)

以 FPGA 为核心的 PLD 产品是近几年集成电路中发展得最快的产品。随着 FPGA 性能的高速发展和设计人员自身能力的提高,FPGA 将进一步扩大可编程芯片的领地,将复杂专用芯片挤向高端和超复杂应用。目前 FPGA 的发展趋势主要体现在以下几个方面:

- Ø 向更高密度、更大容量的千万门系统级方向迈进

- Ø 向低成本、低电压、低功耗、微封装和绿色化发展
- Ø IP 资源复用理念将得到普遍认同并成为主要设计方式
- Ø MCU、DSP、MPU 等嵌入式处理器 IP 将成为 FPGA 应用的核心

随着处理器以 IP 的形式嵌入到 FPGA 中, ASIC 和 FPGA 之间的界限将越来越模糊, 未来的某些电路板上可能只有这两部分电路: 模拟部分 (包括电源) 和一块 FPGA 芯片, 最多还有一些大容量的存储器。Xilinx 等公司最新一代 FPGA: Spartan II/E、Virtex II Pro 及其相关 IP Core 的推出, 使我们有理由相信, 可编程片上系统 (System on Programmable Chip) 的时代已经离我们不远了。

1. 2 可编程片上系统 (SOPC) 的基本特征

可编程片上系统 (SOPC) 是一种特殊的嵌入式系统: 首先它是片上系统 (SOC), 即由单个芯片完成整个系统的主要逻辑功能; 其次, 它是可编程系统, 具有灵活的设计方式, 可裁减、可扩充、可升级, 并具备软硬件在系统可编程的功能。

- Ø 至少包含一个嵌入式处理器内核
- Ø 具有小容量片内高速 RAM 资源
- Ø 丰富的 IP Core 资源可供选择
- Ø 足够的片上可编程逻辑资源
- Ø 处理器调试接口和 FPGA 编程接口
- Ø 可能包含部分可编程模拟电路
- Ø 单芯片、低功耗、微封装

SOPC 设计技术实际上涵盖了嵌入式系统设计技术的全部内容, 除了以处理器和实时多任务操作系统 (RTOS) 为中心的软件设计技术、以 PCB 和信号完整性分析为基础的高速电路设计技术以外, SOPC 还涉及目前以引起普遍关注的软硬件协同设计技术。由于 SOPC 的主要逻辑设计是在可编程逻辑器件内部进行, 而 BGA 封装已被广泛应用在微封装领域中, 传统的调试设备, 如: 逻辑分析仪和数字示波器, 已很难进行直接测试分析, 因此, 必将对以仿真技术为基础的软硬件协同设计技术提出更高的要求。同时, 新的调试技术也已不断涌现出来, 如 Xilinx 公司的片内逻辑分析仪 Chip Scope ILA 就是一种价廉物美的片内实时调试工具。

2 IP 资源复用理念与 IP Core 设计

2.1 IP 资源复用理念

由于芯片设计的复杂性和产品面市时间对于保证终端市场的成功率至关重要, 设计师不断寻求缩短设计周期的方法, 以及更有效的设计方式。随着我们步入系统级芯片时代, 利用 IP 内核和可编程逻辑进行设计复用显得日趋重要。

IP 资源复用 (IP Reuse) 是指在集成电路设计过程中, 通过继承、共享或购买所需的智力产权内核, 然后再利用 EDA 工具进行设计、综合和验证, 从而加速流片设计过程, 降低开发风险。IP Reuse 已逐渐成为现代集成电路设计的重要手段, 在日新月异的各种应用需求面前, 超大规模集成电路设计时代正步入一个 IP 整合的时代。

IP Reuse 不仅仅应用于专用集成电路设计,对基于 FPGA 的嵌入式系统设计领域而言,更是具有举足轻重的地位。FPGA 在采用 IP 内核方面走在了市场的前面,其原因有以下几个方面:

Ø FPGA 具有极高的灵活性和面市时间短的特点,这使得多项设计迭代可以在数小时而不是数周内完成

Ø 由于 FPGA 密度达到了百万门甚至是千万门,越来越多的设计师倾向于使用 IP 内核保持和提高产品的产量

Ø 可编程逻辑价格低廉,可以作为切实可行的生产工具以及最佳原型设计,而且不许可要昂贵的 EDA 设计工具,大大降低了设计门槛

2.2 IP Core 设计方法: 编码风格与项目模板

IP Core 是 IP Reuse 的载体和核心内容,基于应用需求、规范协议和行业标准的不同,IP Core 的内容也是千差万别的。但是,为了使 IP Core 易于访问和易于集成,其设计必须遵循一定的规范和准则。

在 IP Core 的开发方面,许多开放性的团体都付出了巨大的努力来推动各种 IP Core 的开发和 IP Reuse 理念的推广,其中比较著名的是 Open Cores 开发组织 (<http://www.opencores.org>)。他们不仅开发了许多开放源代码的 IP Core,涵盖了处理器 IP、处理器外设控制器 IP、算术运算单元 IP、DSP 算法 IP 等方面,而且编写了详细的 IP Core 编码风格和项目模板,并倡导了一种总线标准 wishbone,用于规范各种 IP Core 的接口标准。国内开放性团体 IP Core 开发小组 (<http://www.ipcore.com.cn>) 也在 IP Core 开发和 IP Reuse 理念的推广和普及方面进行了不懈的努力。

编码风格 (Coding Style) 是基于 HDL 的 IP Core 源码编写的指导性文档,其可读性直接关系到 IP Core 的易于访问和易于集成性。编码风格一般包含几个方面的约定:文件头和版本说明、联机注释、命名规则、可综合编码等。

项目模板则规定了完成一个 IP Core 设计包含的主要内容及所提供的文档,项目模板内容及其文档直接关系到 IP Core 的易于集成特性,一个 IP Core 必须是完整的、经过全面验证的,才能顺利地集成到应用项目中去。项目模板一般包含几个方面的内容:项目定义、接口说明、系统结构和模块、设计文档说明、测试验证报告、约束和实现、版本说明、试用评价以及参考文献等。

编码风格和项目模板详细文档的英文版和中文版可分别从上述两个网站获得。

2.3 IP Core 验证: 仿真、测试与评估板

IP Core 设计在完成编码阶段以后,对其功能的测试验证是一项非常重要的内容,因为这直接关系到 IP Core 资源的可用性。仅仅通过功能仿真、时序仿真和测试向量验证的 IP Core 是不完备的,它必须通过实际系统的验证。国际上各大公司通常采用的办法是评估板验证,也即构建一个与实际系统 IP Core 应用一致的硬件环境,通过下载 FPGA 配置使其具备相应的逻辑功能,并进行实物仿真。

另外,由于 IP Core 的许可成本较高,用户也通常希望在购买 IP Core 之前,对其功能进行充分的验证以确定是否适合于目标系统,从而降低投资风险,(当然,内核和源代码的知识产

权是加了保护措施)，Xilinx 公司的 Sing Once 和 Altera 公司的 Open Core 均提供了这样的平台。

Xilinx 公司和 Altera 公司均提供了许多用于评估 IP Core 的 FPGA 评估板，如 USB、MAC、IEEE1394 等等。许多第三方设计中心，如 Insight，还开发了用于 SOPC 系统集成的 Virtex II MicroBlaze 评估板和 Virtex II Pro PPC405 评估板等等。Xilinx FPGA 的国内专业设计公司长沙依元素科技(<http://www.eestd.com>)还开发了用于测评各类基本 IP Core 以及学习培训用途的数字刀剑®系列 (DigitalSword® Series Kit) 评估板，如图 1 所示，该系列评估板提供了 VGA、LCD、音频、键盘鼠标、串口、并口、USB Slave、I2C 等电平接口，并提供了标准扩展总线以及丰富的子板功能模块支持。

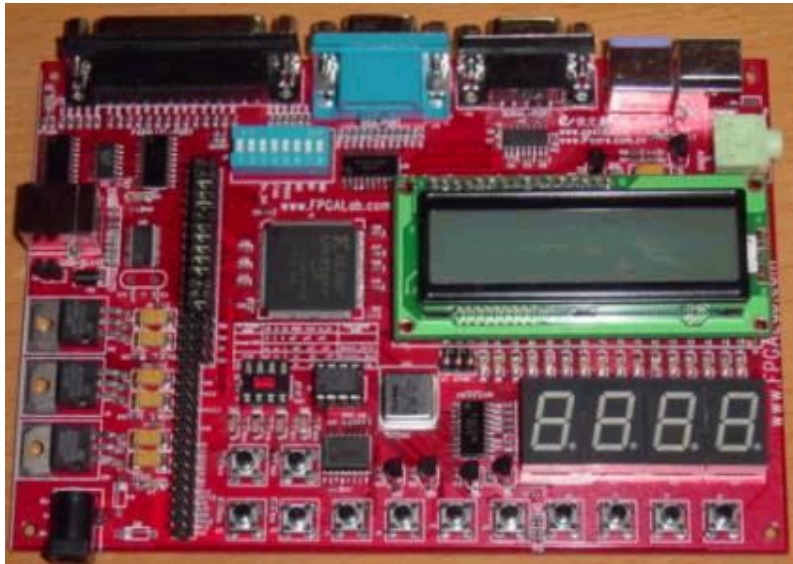


图 1(a) 数字刀剑®系列之火龙刀

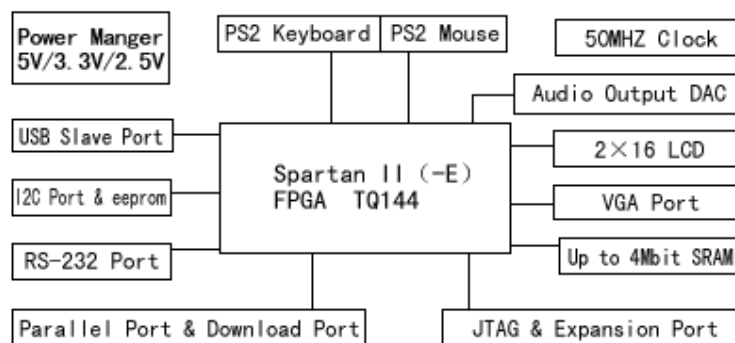


图 1(b) 数字刀剑®系列 FPGA 评估板结构框图

3 基于 Xilinx FPGA 的嵌入式系统设计

3.1 FPGA 基本开发流程与开发工具

FPGA 基本开发流程主要包括设计输入 (Design Entry)；设计仿真 (Simulation)；设计综合 (Synthesize)；布局布线 (Place & Route)；配置 (Configuration) 五个主要步骤。设计输入主要有原理图输入和 HDL 输入两种方式，一般开发商都同时支持两种输入方式。有些熟悉硬件设计的工程师开始喜欢利用原理图进行设计，这种方法非常直观，但基于可移植性和规范化方面的考虑，绝大部分深入 FPGA 设计和 ASIC 设计的工程师最终都将统一到 HDL 平台上来。设计仿真包含功能仿真和时序仿真两项主要内容，功能仿真忽略了综合和布局布线导致的时延等因素，仅仅从逻辑上进行仿真，这对设计思路的验证是有帮助的，但必须通过时序仿真作进一步验证，发现并修正时序问题。

设计综合将 HDL 语言生成用于布局布线的网表和相应的约束。综合效果直接导致设计的性能和逻辑门的利用效率，因此，许多可编程逻辑器件开发商都支持第三方综合和仿真工具，著名的有：Synplicity、Synopsys 和 ModelSim 等。

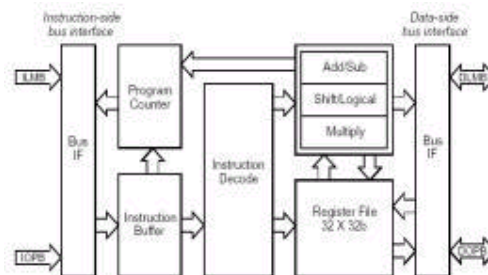
布局布线工具利用综合生成的网表，在 FPGA 内部进行布局布线，并生成可用于配置的比特流文件。布局布线工具与可编程逻辑器件工艺及其布线资源密切相关，一般由可编程逻辑器件开发商直接提供。

随着可编程逻辑器件容量的不断增大和设计性能要求的不断提高，对传统的 FPGA 开发工具提出了挑战。以 Xilinx 公司为例，应 IP Core 开发和集成的需要，开发了 IP Core 使用工具 Core Generator 和 IP Core 包装工具 IP Capture；提供了模块化设计工具 Modular Design 用于超大规模设计的团队项目开发；用片内逻辑分析仪 ChipScope ILA 进行片内逻辑调试；Xpower 则用于设计功耗分析并得出相应的解决方案；还有 System Generator 结合 Simulink 甚至可以简单地实现数字信号处理模型（如 FIR 滤波器和 FFT 等）的 FPGA 硬件实现。此外，一些有争议的设计工具，如基于 C 语言的 FPGA 开发工具 DK1 等为超大容量 FPGA 设计和复杂逻辑设计提供了值得尝试的途径。

3.2 处理器 IP Core: Micro Blaze 与 PPC405

将处理器 IP Core 嵌入到可编程逻辑器件是基于 FPGA 的嵌入式系统设计的前提条件，目前，国内外许多单位已成功的将 51 单片机、ARM 和 PPC 等处理器内核嵌入各种可编程逻辑器件并进行了应用系统的设计，其中最著名的要数 Xilinx 公司的 Micro Blaze 和 Altera 公司的 Nois 了。Xilinx 从 Pico Blaze 到 Micro Blaze，再到 PPC405，完成了从 8 位单片机到 32 位微处理器的逐步完善和性能提升。

Micro Blaze 是一个专门为 Xilinx FPGA 优化的 RISC 嵌入式软处理器，符合 IBM Core Connect 标准，能够与 PPC405 系统无缝连接，Micro Blaze 软处理器内核的结构如图 2 所示



它具备以下基本特征:

- Ø 32 个 32bit 通用寄存器
- Ø 硬件乘法器(仅限 Virtex II 系列)
- Ø 32bit 地址总线和 32bit 数据总线
- Ø 三操作数 32bit 指令字, 两种寻址模式
- Ø 独立的片内程序 32bit 总线和数据总线
- Ø 片内总线遵循 OPB(On-chip Peripheral Bus)标准
- Ø 通过 LMB(Local Memory Bus)访问片内 Block RAM

MicroBlaze 是一个非常简化, 但有具有较高性能的软处理器内核, 他可以在性价比很高的 Spartan II(-E)系列 FPGA 上实现, 系统时钟频率为 75MHZ, 仅占用 400 个 Slice 资源, 相当于 10 万门 FPGA 容量的三分之一, 而 10 万门的 Spartan II 系列 FPGA 的批量目标市场价格仅为 10 美元左右, 非常适合消费类嵌入式产品应用需求。

在 Xilinx 最新一代 FPGA Virtex II Pro 中, 嵌入了 IBM 公司的 PPC405 RISC 结构硬处理器 (如图 3 所示)

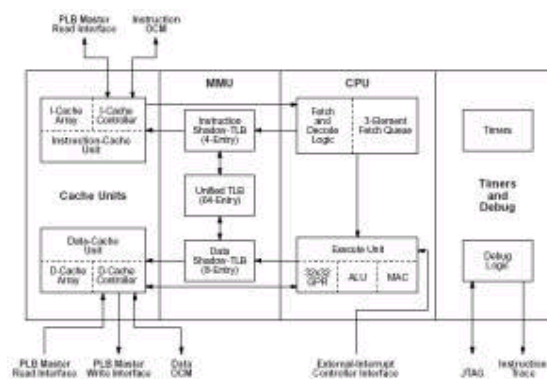


图 3 PPC405 IP Core 结构框图

该处理器内核具备以下基本特征:

- Ø 32 位、Harvard 结构, 300MHZ 以上工作频率
- Ø 支持 IBM Core Connect 总线标准
- Ø 符合 PowerPC UISA 标准
- Ø 低功耗: 0.9mW/MHZ
- Ø 硬件乘法和除法单元
- Ø 32 个 32bit 通用寄存器
- Ø 16KB 双端口程序缓存
- Ø 16KB 双端口数据缓存
- Ø 内存管理单元 (MMU) 支持
- Ø 独立的调试和跟踪接口

PPC405 硬处理器内核性能上与现有的 EPPC Core 完全一致, 含有 PPC405 Core 的 Virtex II Pro 系列 FPGA 还附加了 Gbit 收发器和 18×18 硬件乘法器以及庞大的可编程逻辑资源, 非常适合于通信、图像信号处理以及复杂应用系统的设计, 并提供了更加灵活的设计模式。

3.3 基于 Micro Blaze 和 PPC405 Core 的 SOPC 软硬件开发

基于嵌入式处理器内核的 SOPC 系统开发是一个软硬件协同设计的过程，一方面，它极大地提高了系统设计的灵活性和快速的设计迭代周期，使整个开发过程变得更加可控；另一方面，一些新的调试和设计问题，如逻辑分析仪和数字示波器的接入等，对调试设备和调试手段提出了更高的要求，为了尽可能避免问题的产生，要求有更好的设计工具和集成开发环境，保证 IP Core 资源的可用性和设计实现的一致性，让设计工程师从烦琐的内部时序调试中解放出来。

Xilinx 提供了针对 Micro Blaze Core 应用系统开发的集成开发环境 MDK，该开发环境包含了用于硬件描述和系统生成的 Platform Generator、用于软件设计和编译的 Micro Blaze IDE，GDB 调试可通过 FPGA 配置 JTAG 接口进行，无需任何附加的调试硬件，配合 Foundation ISE4.2 和 FPGA 目标板即可进行全功能开发，MDK 还包含了 UART、GPIO、Watchdog、Timer/Counter、EMC 和中断控制等基本处理器外设库，用户可以添加兼容 OPB 总线标准的任意 IP Core。Insight 和依元素科技均提供了功能全面的 Micro Blaze Core 评估工具。

PPC405 Core 是一个高性能的处理器内核，它具有独立于 FPGA JTAG 的调试端口和更加复杂的调试功能，我们甚至可以将基于 PPC405 Core 的 SOPC 调试直观地理解为基于 IBM PPC405 处理器和大容量 FPGA 的单板机调试，只不过这个单板机无需进行传统的 PCB 设计和调试，设计迭代过程全部在计算机上进行。PPC405 Core 的软件集成开发环境支持传统的 IBM PPC405 开发环境，Xilinx 提供了相应的系统集成开发环境和 GNU 软件开发工具包支持。第三方软件开发商 Wind River 和 Montvisa 已分别宣布其 VxWorks 和 HardHat Linux 实时操作系统（RTOS）及其集成开发环境支持 Virtex II Pro 系列 FPGA，Insight 和 Avnet 已开始销售含有 Virtex II Pro FPGA 的高端评估板。依元素科技也推出了用于开发 PowerPC 系列处理器的 GNU 集成开发工具和利刃® 系列调试工具，以及含有 PowerPC 处理器的原型评估板。

4 基于 Internet 可重配置逻辑（IRL）

4.1 IRL 技术的基本特征与应用

Internet Reconfigurable Logic (IRL) 是 Xilinx 倡导的一种新的 FPGA 设计理念，其核心是通过 Internet 对远程设备的硬件设计和软件程序进行升级、重构、调试和监控，这种设计理念伴随着嵌入式 Internet 技术的蓬勃发展必将对嵌入式设备的设计模式产生深远的影响。

IRL 包括三个方面的基本要素：

- Ø 含有配置 bit 流或应用程序的主机
- Ø 含有配置功能的目标系统
- Ø Internet 或远程访问介质

在 Internet 环境下，可通过 Web Browser 访问远程目标机，通过 HTTP、FTP 协议、Java Applet 和 CGI 等功能实现数据、文件传输和交互控制功能。在某些特殊环境下，远程访问介质可以是 PSTN、无线网络或其它特殊媒介，这在某些工业控制场合以及军事应用中是常见的。

IRL 技术可以应用于许多场合，诸如：在部分功能没有完成全面测试之前就可以先将产品投放市场；故障设备的远程维护；远程修复产品使用过程中发现的 Bug；对已售出的产品升级新的功能；对新出现的标准和协议予以支持等等。总而言之，采用 IRL 技术将带给我们的产品三个明显的优势：缩短产品上市时间；减少产品维护费用；延长产品生命周期。

4.2 IRL 技术的设计实现

在基于 Web Browser 的条件下, 主机端的应用程序将达到最简化, 主机端无需安装任何特殊应用程序就可完成对远程设备的操作, 这种简化对用户而言是必要的。这样, 目标机的设计就是 IRL 技术实现的全部内容。

一般而言, 目标机端 IRL 模块应实现以下功能:

- Ø 以太网或 Modem 接入
- Ø TCP/IP 或 TCP/IP+PPP 协议栈
- Ø Http Web Server
- Ø 支持 CGI、ASP 或 Java Script
- Ø FPGA 配置时序, 至少支持 JTAG 配置模式
- Ø 足够的存储空间和配置故障恢复功能

在嵌入式 Internet 技术和处理器的支持下, 这些功能的实现已经不是技术上的瓶颈了, 图 4 给出了依元素科技也开发的 IRL 评估模块原理框图

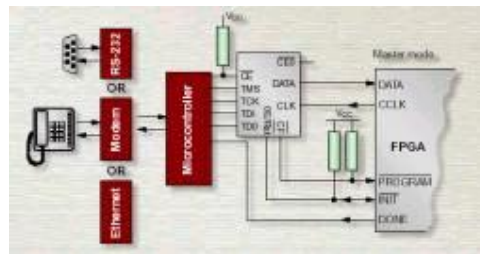


图 4 基于 Rabbit2000 的 IRL 模块原理框图

该种实现方式是一种基于单片机或专用处理器的 IRL 实现方式。Avnet 推出了基于 PowerPC 和 PMC 总线的高端 IRL 技术评估板。

在本文研究的 SOPC 设计技术的基础上, FPGA 甚至能够通过内部嵌入式处理器内核(如 Micro Blaze 和 PPC405) 及其软件支持, 实现对自身的重构和升级。

5 结束语

随着可编程逻辑器件工艺的不断进步和开发工具的不断增强, FPAG 将更加广泛的应用在各个领域, FPGA 的将在更广泛的范围普及, 成本和价格将不再成为我们拒绝在设计中采用 FPGA 的理由。我们有理由相信, SOPC、IRL 等设计理念将会对我们的设计方式产生新的变革, 也必将给每一位嵌入式工程师带来有益的思路和更加宽广的创意空间。

参考资料:

- 1 Programmable Logic Data Book, Xilinx Inc, 2000
- 2 Virtex II Pro FPGA User's Manual, Xilinx Inc, 2002
- 3 Micro Blaze Development Kit User's Manual, Xilinx Inc, 2002
- 4 嵌入式系统设计综述, 吕京建等, 单片机公共实验室, 2001
- 5 数字刀剑®系列 FPGA 评估版用户手册, 依元素科技 Inc, 2002