

## 语音信号的数字化噪声抑制技术

**摘要:** 介绍了语音信号的数字化噪声抑制技术。该技术通过 PCM 编码对模拟语音信号数字化,再以 CPLD 器件进行数字化噪声抑制处理,然后解码为语音输出,从而得到优良的语音噪声抑制效果,并可通过软件调节噪声抑制参数。还以应用实例介绍了电路原理,说明了设计要点。

**关键词:** 噪声抑制 阈值 延时时间 PCM 编解码 CPLD 器件

语音信号的噪声抑制技术是基于人耳的声音屏蔽效应的,即当有较强的声音信号时,较小的噪声信号将被屏蔽而不易被听到。

在具有噪声抑制功能的语音通信设备中,没有语音信号时噪声抑制电路将信道关闭,使噪声信号不能到达语音终端,避免了噪声出现;语音信号来到时,噪声抑制电路自动打开信道,这时虽然噪声语音一起送到语音终端,但由于声音屏蔽效应,噪声的存在可以忽略。

模式式的噪声抑制电路直接对语音模拟信号进行处理,通常主要由取样放大器、模拟比较器、模拟开关、阻容延时器件等组成。因其集成度低、参数调整困难、设定的噪声抑制参数易受环境因素影响而漂移,使得噪声抑制性能难以得到保证。

在为某国孙工程研制新一代语音指挥通信设备时,为了避免模拟式噪声抑制技术的缺点,采用了数字化的噪声抑制技术。这一技术,是在对模拟语音信号进行 PCM 编码后,再用 CPLD (复杂可编程逻辑器件)对 PCM 码流进行数字化噪声抑制处理,然后将 PCM 信号解码还原为模拟语音信号。结果,不仅获得了优良的噪声抑制效果,而且能够用软件调节噪声抑制参数,设备的集成度和稳定性都有显著提高。

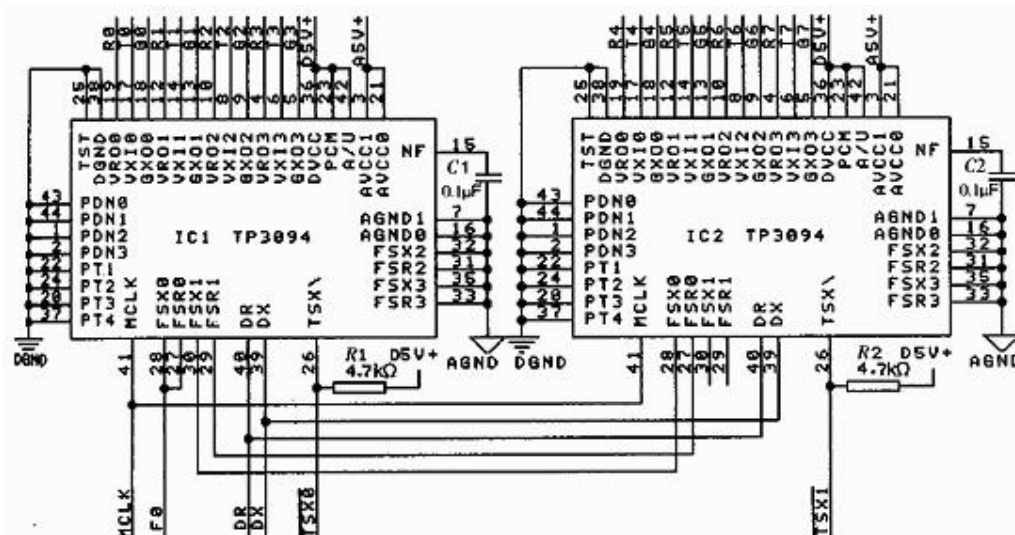


图1 两片 TP3094 组成的级联电路用于八路 PCM 编解码

### 1 噪声抑制电路的主要技术参数

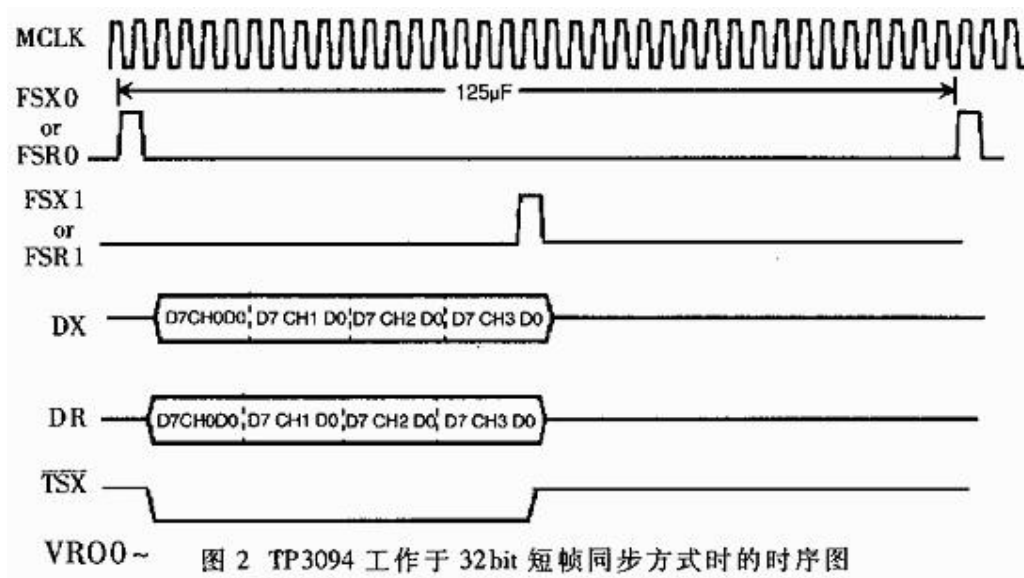
噪声抑制电路的主要技术参数为：噪声抑制阈值、前道时时间、后延时时间。

噪声抑制阈值是指打开语音信道的门限电平值。在阈值之下的信号认为是噪声，关闭语音信道；在阈值之上的信号则认为是语音，打开语音信道。这一阈值可根据环境噪声的大小、外来干扰的严重程度及语音信号的幅度而进行设置。例如，当语音信噪比为 30dB 时，噪声抑制阈值可设为 32mV 左右。

由于语音和噪声两种信号并不总是能够完全区分开的，因此在信号幅度超过噪声抑制阈值或回落到阈值之下时，需要分别进行延时和后延时。

前延时时间是指语音信号在超过阈值后到语音信道打开的延时时间。这一时间太长将造成语音的起始音素被切除（称为“头切”），是不能允许的。但这一时间又不能太短，太短的话任何幅度超过噪声抑制阈值的突发的短暂干扰都会立刻打开语音通道并将这干扰送到语音终端，破坏静音效果。为尽可能地吸收这类干扰又不至于造成“头切”，根据语音声学特征的有关统计资料与经验数值，前延时时间可在 0.5~4ms 之间选择。

后延时时间是指在噪声抑制门限被打开并自己传送语音时，从语音信号幅度回落至噪声抑制阈值之下到语音信道关闭的延时时间。由于语音信号波形的动态范围很大，讲话时又随着语气的变化而起伏停顿，因此后延时时间太短会造成语音的断续，影响语音传送质量。后延时时间太长，则造成语音停顿时噪声拖尾，同样影响语音质量。为兼顾这两方面，后延时的量值范围约为 0.05~0.5s 左右。



由于语音特点因人而异，环境噪声和外界干扰情况又常有不同，所以上述的噪声抑制三参数经常需要在语音通信的过程中进行调节。在使用模拟噪声抑制电路时，这些参数是用电位器或开关来调节的。在使用模拟噪声抑制电路时，这些参数是用电位器或开关来调节的。采用数字化噪声抑制技术后，通过软件就可以设定和调节这些参数了。

## 2 语音信号的数字化

采用数字化噪声抑制技术，必须先将语音信号数字化。模拟语音信号的数字化有多种方法，最通用的是按照 G.711 标准进行 PCM 编码[1]。对于频带为 300~3400Hz 的语音信号，采用 2.048MHz 的取样时钟，以 8kHz 的速率进行 8 位取样，取样数据按 A 律编码，偶数位交替反转。多路语音信号可以分配不同的取样时隙，32 个时隙（125 $\mu$ s）组成一帧。

PCM 编解码芯片选用 National Semiconductor 公司的 TP3094[2]。该芯片为 44 引脚 PLCC 封装，单一 5V 供电，集成了四路 PCM 编解码电路，压扩方式为 A/ $\mu$  律可选，片内自带电压基准、低通接收滤波器和带通发送滤波器，通过外接电阻可以调节输入信号的增益。

TP3094 可采用长帧和短帧两种同步方式，外接帧信号和 2.048MHz 的时钟即可工作。TP3094 在进行 PCM 编解码时的工作方式有 8bit 和 32bit 两种，以 8bit 方式工作时需为每路语音的 PCM 码提供单独的帧同步信号，而以 32bit 方式工作时只要为第一个时隙提供短帧同步信号即可自动完成对其后连续的另三路 PCM 语音编码同步。在以 32bit 方式作时，还可以采用多片 TP3094 芯片级联工作。

图 1 所示为两片 TP30094 级联成为八路 PCM 语音编解码电路。图中 TP3094 的 VC10~VX13 为四种语音输入端，GX00~GX03 为各路的增益调节端，在 VX1 和 GX0 之间接一电阻，此电阻与 VX1 端至信号源间的电阻比值可决定该路语音信号的输入增益。VR00~VR03 为解码后的四路模拟语音信号输出端。电容 C1、C2 用于滤波。外接的 2.048MHz 主时钟脉冲冲送到两片 TP3094 的 MCLK 端，8kHz 的帧信号 F0（由 CPLD 产生）送到第一片 TP3094 的 FSX0 和 FSR0 端，再将第一片 TP3094 的 FSX 和 FSR1 分别连到第二片 TP3094 的 FSX0 和 FSR0 端，就完成了两片芯片的级联。两片以上的级联亦可由此类推。为避免数字信号对模拟信号的干扰，电路中数字部分和模拟部分的供电分别布线后再接到单一 5 伏电源。

两片 TP3094 的 PCM 信号输出端 DX 并联后送到数字噪声抑制电路，经数字噪声抑制电路处理后的 PCM 信号再送回两片 TP3094 的输入端 DR 进行解码。TSX0、TSX1 是开路沟道输出端，R1、R2 为上拉电阻。在所分配的时隙输出 PCM 信号时，TSX0、TSX1 为低电平，可提供给 CPLD 作为控制信号。

TP3094 工作于 32bit 短帧方式时的时序图如图 2 所示。

输入和输出的 PCM 信号 DR、DX 包含了从 CH0 至 CH3 的四路数字语音信号，每路为一个时隙，8 个 bit。每路语音的 PCM 编码中 D7 为符号位。D6~D0 为数值位。FSX1 和 FSR1 可用于级联下一个芯片。

### 3 数字化噪声抑制电路的原理框图

数字化噪声抑制电路的原理框图如图 3 所示。由于采用的是“自顶向下”的 CPLD 设计方法，这一电原理框图本身就是最顶层的图形设计文件（.gdf 文件）。图中的各个组成部分，根据需要分别采用了基本逻辑门电路、参数化模块、以缺省符合（Default Symbol）表

示的文本输入 (Text Entry) 和宏功能逻辑单元 (Mega Function) 组合。

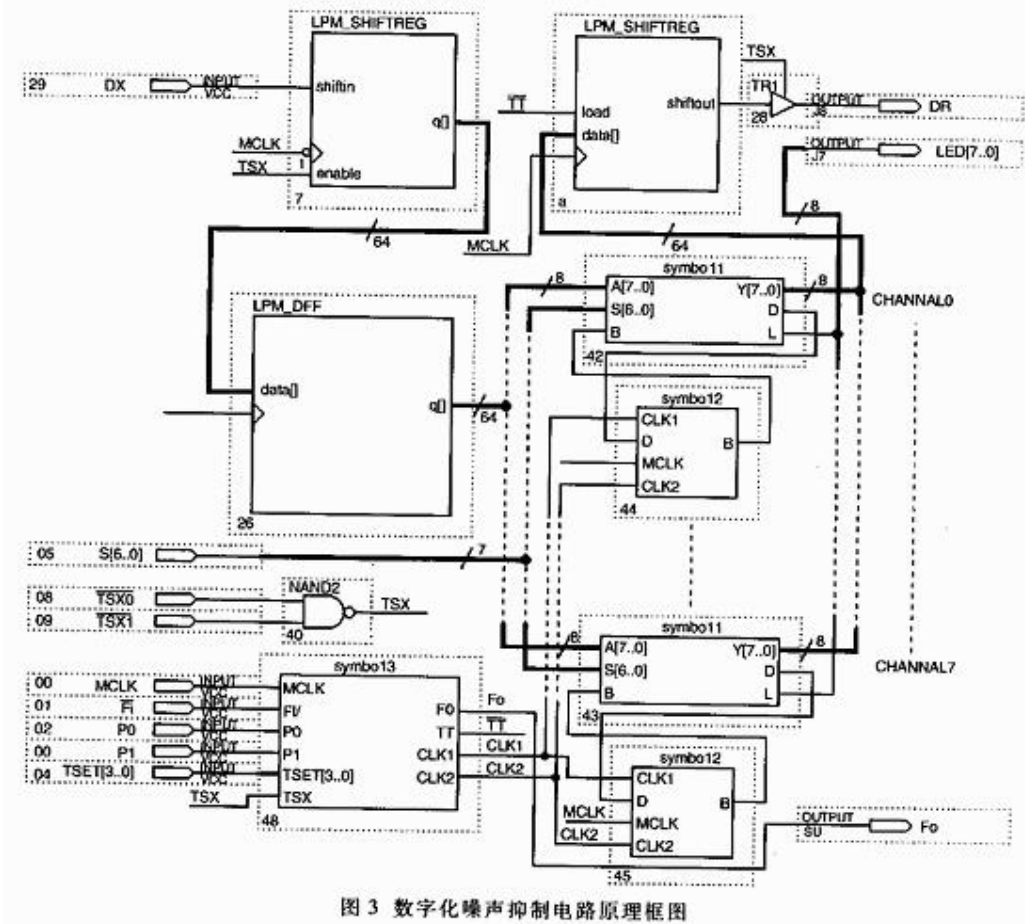


图 3 数字化噪声抑制电路原理框图

图 3 的原理简述如下：

从 PCM 解码输出端 DX 输出表示八路语音信号的 64bit 串行信号，进入 64 位的参数化移位寄存器模块进行串/并变换，变换后的输出经 64 位参数化锁存器模块锁存，每帧刷新一次。锁存信号以八位为一组，依次送到八个噪声抑制控制器 (Symbol11)。每个噪声抑制控制器独自控制一路语音信道，将 PCM 信号的偶数位取反后，再将除符合位 (最高位) 以外的七位数字与由 S[6..0] 设定的噪声抑制门限值进行比较，比较结果输出给延时器 (Symbol12)，延时器输出则作为控制信号送到噪声抑制控制器。各噪声抑制控制器输出的 PCM 信号经 64 位参数化移位寄存器模块完成并/串变换后恢复成串行 PCM 码流送往两片 TP3094 解码器成为具有噪声抑制效果的语音信号。噪声抑制控制器还输出八路指示信号 LED[7..0] 至八只发光二极管作为各语音信道的噪声抑制门限指示。

Symbol13 用来产生 TP3094 要求的帧脉冲 F0，提供移位寄存器、锁存器、噪声抑制控制器所需的时序信号，并为延时器提供不同的时钟信号；P0、P1 用来选择 PCM 帧 32 个时隙中的哪八个时隙用于本片作语音噪声抑制处理；TSET[3..0] 用来选择 CLK1、CLK2 的分频系数以调整噪声抑制延时时间。这些输入都可以通过外部数字信号进行设置和调节。

按以上方法对 PCM 信号进行的数字化噪声抑制处理使语音信号产生一帧 (125 μs) 的固定时延，但人耳的听觉对这一时延是完全不能觉察的。

## 4 CPLD 设计要点

CPLD 器件选用 Altera 公司的 EPF6016ATC100 集成电路[3], 内含 16000 个等效门, 1320 个逻辑单元, 采用 100-Pin TQFP 封装。设计软件使用 MAX+PLUS II 10.0 版本[4], 下面介绍设计要点。

### 4.1 Symbol1 的设计

Symbol1 实施噪声抑制控制功能, 首先通过偶数位取反将 PCM 码转换成便于作大小比较的码型, 再将 D[6..0]与 S[6..0]输入的设定值进行噪声抑制门限比较。比较结果从 D 端输出到延时器, 并从 B 端收延时信号。根据比较结果和延时状态决定是将输入的 PCM 信号原样送往输出, 还是将代表无语音信号的“55H”码送往输出。

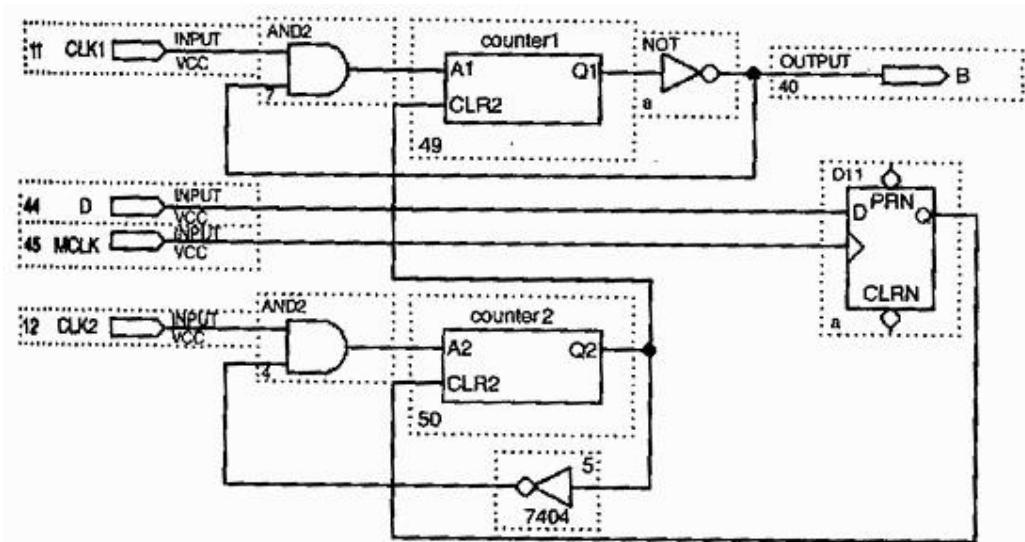


图 4 噪声抑制前延时、后延时的电原理图

Symbol1 的逻辑功能由 AHDL 语言编写, 具体如下:

Subdesign symbol1

(A[7..0],S[6..0],B: input;

Y[7..0],D,L:output; )

variable

E[6..0]: node;

begin

E6=! A6; E5=A5; E4=!A4;

```
E3=A3;E2=!A2;E1=A1;

E0=!A0;

L=!B;

if(E[6..0]>S[6..0]) then

(D) = B "1";

end if;

if (B) then

(Y[7..0])=H"55";

else(Y[7..0]) = A[7..0];

end if;

end;
```

以上文本通过编译后即可建为缺省图形符号 Symbol1。

#### 4.2 Symbol2 的设计

Symbol2 实现前后延时功能，采用图形输入，电路图见图 4。

图 4 中 CLK1、CLK2 为前、后延时的计时脉冲，由 2.048MHz 的 MCLK 主时钟经分频后得到，分别用于前延时计数器 Counter1 和后延时计数器 Counter2 计时。当无语音信号时，噪声抑制控制器 Symbol1 的输出 D 为“0”，Counter2 计至 Q2 端为“1”后停止计数，并通过反相器将 CLK2 的输入封住。Q2 端的高电平同时对 Counter1 清零，使 B 输出为“1”，噪声抑制控制器输出 PCM 码“55H”，即无语音信号。

当接收到的 PCM 信号幅度超过设定的噪声抑制阈值时，D 变为“1”，Counter2 被清零，此时 Counter1 脱离清零状态开始计数器。Counter1 计至 Q1 为“1”后 B 端输出电平从“1”转为“0”，前延时结束，Symbol1 的输出从“55H”变为转发输入的 PCM 码。与此同时，B 端的低电平将 CLK1 时钟封住，只要 Counter1 不被清零，B 始终为低。

如果接收到的 PCM 信号不是连续的语音而是突发噪声，幅度只是短暂地超过设定的噪声抑制阈值，那么 D 变为“1”后在 Counter1 未来得及将 B 变为“0”时 D 又回到了“0”，B 的电平就一直是“1”，PCM 输出码也始终是“55H”，突发的噪声就不会传到输出端。

在语音信号持续期间，信号幅度在短暂时间内低于噪声抑制阈值虽然使得 D 端电平有时为“0”，从而使 Counter2 有时脱离清零状态开始计数，但只要信号幅度低于噪声抑制阈值的时间不超过设定的后延时时间，Counter2 就总是在计数未满时就被再次清零，其输出

一直保持为“0”，使 B 也一直为“0”，输出与输入的 PCM 信号始终保持一致，语音不会发生继续。只有当输入信号幅度低于噪声抑制阈值的时间超过设定的后延时时间后，Q2 输出“1”，才使 Counter1 被清零，使 B 为“1”，输出 PCM 码“55H”。再有信号来时，仍按上述流程工作。

#### 4.3 时序的设计

数字化噪声抑制电路必须严格按照标准的 PCM 时序工作，电路由外部提供 2.048MHz 的主时钟信号 MCLK 和帧同步信号 Fi。Fi 用于本部分电路 PCM 信号与其它电路的 PCM 信号组帧时进行同步，在不需要该功能时可将 Fi 输入端接高电平。

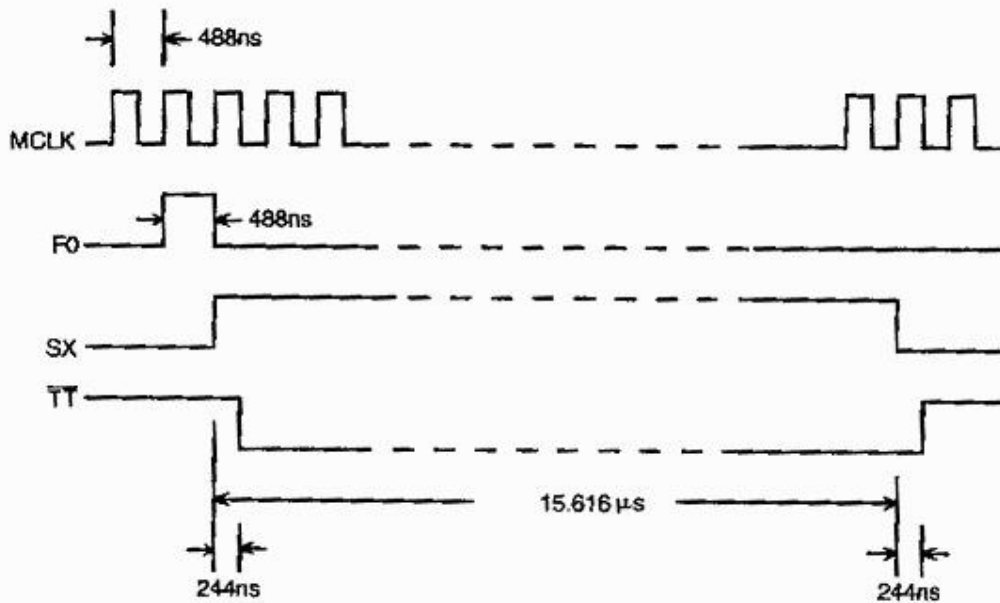


图 5 CPLD 信号时序图

Symbol13 在 MCLK 的作用下产生 PCM 编解码电路 TP3094 所需的帧同步信号 F0，又从 TP3094 接收 TSX0 和 TSX1 信号以产生数字噪声抑制处理所需的时序信号 TSX、TT。为了保证 PCM 信号的正确读入、锁存、处理和移位输出，这些信号间的时序关系必须如图 5 所示。

TSX 由 TSX0、TSX1 经“与非”后得到，在每帧中所选定的八个时隙传输 PCM 信号时为高电平。TSX 为串/并行移位寄存器提供赋能信号，在主时钟 MCLK 的下降沿将来自 DX 端的 PCM 信号读入寄存器并移位寄存。TSX 同时是 PCM 信号从 DR 端输出的三态门控制信号。

TT 是 CPLD 噪声抑制时序中的一个重要控制信号，由 TSX 延时半个主时钟周期（244ns）后取反得到。由于 TT 的延时作用，使得图 3 中的参数化锁存器模块能在输入的 PCM 信号完成串/并行变换后随即于 TT 的升沿将数据锁存住。在通过并/串行移位寄存器输出 PCM 信号时，TT 为高电平时把并行数据装载进移位寄存器；TT 为低电平时 MCLK 的上升沿将寄存器内的数据逐位地串行移出至 DR 端。

CPLD 产生的时序信号只能满足图 2 和图 5 的要求，实现起来并不复杂，可用简单的图形输入或文本输入实现。值得注意的是，正确使用 MAX+PLUS II 软件中的

“Assign-Clique” [4]功能，为时序相关的功能模块指定相同的“Clique”，能够使波形仿真的结果明显得到优化。

## 5 应用成果

按照以上设计，用两片 TP3094 和一片 CPLD 芯片再加上少量外围器件组成的数字化噪声抑制电路，改造了某语音指挥通信设备中采用模拟电路噪声抑制技术的八路语音指挥通信电路板，得到了优良的语音噪声抑制效果。新的电路板继而成功地应用到新一代语音指挥通信设备上，交付用户使用。更多路的数字化噪声抑制电路也已试验成功。

本文内容来自互联网，版权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 [epcity@epcity.com](mailto:epcity@epcity.com) 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842)      2004-04-10