

CPLD 应用中低功耗 CMOS 技术的演变

过去,人们总是认为,对那些依靠墙上电源插头供电的电子设备而言,功耗问题并不重要,重要的是运行速度。即使因为提升速度而增加了发热量,造成散热问题,也只需在设备盒内多组装几个散热风扇就能解决。但是,随着功耗增加,设备的可靠性会降低,散热不良引起的问题也仍然会断断续续出现,并不能得到根本解决。生产商为了处理越来越多的故障不得不增加售后服务人员,这就不可避免地导致其运行成本增大。此时,人们终于认识到每个设备盒中的所允许消耗的最大功率是有限的,低功耗半导体器件于是受到重视。本文就介绍复杂可编程逻辑(CPLD)器件应用中的低功耗 CMOS 技术发展状况。

对大多数服务于消费电子市场的制造商而言,其产品的生命周期越来越短,因而必须在尽可能短的时间内将产品推向市场,这种压力相当大。而采用可编程逻辑器件(PLD)则可以大大加快产品研发速度,减轻系统设计工程师面临的压力。PLD 具有很多优势,例如生命周期很长,很多过去的 PLD 器件至今仍在使用。

目前,设计工程师在使用 PLD 时选择范围很广,从简单的 PLD 到大型 FPGA,集成度从 4 万到 1 亿个系统门的都有,而且随着增强型系统存储器和快速 DSP 功能也被集成到 PLD 中,复杂可编程逻辑器件(CPLD)使复杂系统功能的实现变得更加轻而易举。但低功耗特性比较特殊,它的一些独特的要求使 PLD 的成本较普通器件要高、价格比普通器件贵。本文就介绍 CPLD 器件应用中的低功耗 CMOS 技术发展状况。

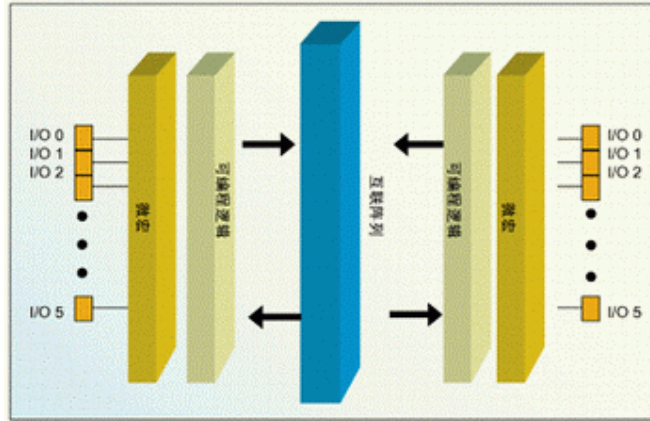
BiCMOS CPLD

BiCMOS CPLD 产品是通过给晶体管加偏置,使其导通,从而驱动读出放大器检测逻辑状态的变化。为了提高速度,这种方法以牺牲功耗作为代价,过去它是非常简单有效的解决方案。但现在看来,这种方法的伸缩性不够,因为随着 CPLD 运行速度的提高,器件功耗越来越大。1994 年,飞利浦半导体公司决定从现有的技术转向开发 CMOS CPLD。自此,CPLD 走出了原有的 BiCMOS PROM 技术的局限,开始进入可伸缩处理技术领域。这一发展带来的最大好处是高速通道中不再使用读出放大器,因而功耗被大幅降低。飞利浦半导体公司的这一举措,标志着人们已经开始意识到功耗的重要性。

功耗直接影响了产品的散热,它和产品的外形因素一同推动着消费电子产品市场向更具创新性的方向发展。在消费者眼中,产品的外形越小越好,速度越快越好。这样,CMOS 器件以及与之相关的处理的可伸缩性就开始在设计决策中占据很重要的位置。

CMOS 技术的优越性

对所有 CPLD 而言，其基本布局都有一个输入脚，该输入可接寄存器也可以不接。从这个输入点开始，将芯片内的逻辑资源按照设计进行连接和布线，具体情况见图 1。

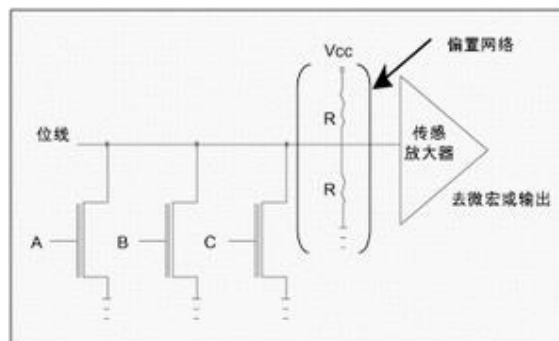


对全 CMOS 逻辑的实现而言，逻辑资源非常关键。CPLD 结构中的字线可以通过两种方法建立，一是采用读出放大器，一是采用 CMOS 逻辑。当生产工艺低于 0.35 微米时，这两种方法所造成的整个器件的传输延时并没有多大差别，但二者的功耗就大不相同了。在采用读出放大器的结构中，只要电源接通，那么每个读出放大器都会消耗电能，即使它处于空闲状态也不例外，因为一个逻辑单元不论是否用到都会消耗功率。而且当读出放大器驱动字线并开始转换时，功耗还会增加。一般情况下，每个字线中会有很多个读出放大器，而每 1,000 个读出放大器中又有大约 10 个处于待机耗电状态，这些处于待机耗电状态的放大器会造成很高的待机电流。但是如果采用 CMOS 结构，那么一个逻辑单元只在工作时才会耗电。这时就算电源接通，晶体管因为不需推动读出放大器，所以其待机峰值电流也很小，通常低于 100uA。

从 BiCMOS 转向 CMOS 技术

COMS 技术不但比 BiCMOS 技术功耗低，其设计平台也比 BiCMOS 简单。但有些 CPLD 设计工程师已经习惯了 BiCMOS 设计方法，他们在实现产品的检索字线时总会习惯性的沿用在 BiCMOS 设计过程中采用的设计方式。

BiCMOS 技术中，字线通过将“线或非”输入给一个节点来建立，这些“线或非”输入则通过一个 CMOS 门创建，见图 2。该门会在产品的检索节点上引起一定的电容效应，节点上的输入越多，这个电容值就越大，于是时间常数也就越大，传输速度越慢。为了加快传输速度，在节点后接一个读出放大器，在节点电压有大约 100mv 的变化时就能将其检测出来，并输出到外部电路，逻辑电平随之发生

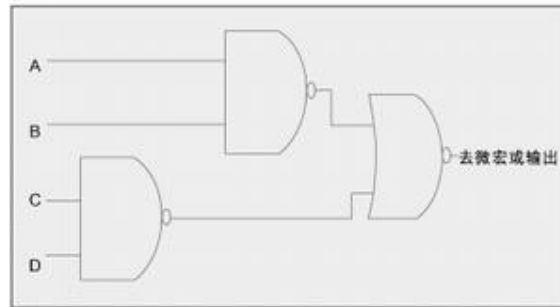


变化。这种读出放大器实际上是一种线性元件，因而就算逻辑电平没有发生变化，它也会消耗电流。每个读出放大器的电流消耗一般约为 250uA，但如果逻辑电平的转换频率变高，这种消耗会更大。

CPLD 开始向全 CMOS 技术迈进

CPLD 设计技术从 BiCMOS 转变到纯 CMOS，这使可编程逻辑器件设计工程师设计高密度的芯片更加容易。这一点从芯片 I/O 数目的减少就可以很明显地看出来。晶片尺寸减小，可留给 I/O 焊盘的空间必然更小，I/O 数就必然减少。但 CMOS 技术使设计具备了可伸缩性，设计者在同样大的晶片上可以集成更多数量的门，从而提高芯片的逻辑密度。在这种技术中，若去除逻辑通路上的非易失性单元，可提高芯片的运行速度并降低功耗。但在创建一个全 CMOS 的逻辑器件时，使用非易失性单元还是会带来很多好处，比如提高保密性，以及在器件上电时不必再用外部存储器来实现程序加载。

从图 3 中可以看出，在设计一个可编程逻辑器件时，除了提高芯片集成密度之外，采用那种只在使用时消耗电能的逻辑门能提高效率。这时待机电流降至微安级，并且只有那些正在使用中的逻辑门会产生动态功耗，没有使用的部分不会消耗功耗。换句话说，全 CMOS 技术带来的最大好处就是不必使用读出放大器，因此功耗比用 BiCMOS 技术设计的芯片低得多。



电压可伸缩性和功耗的关系

可以说，芯片的几何尺寸与其功耗直接相关。CMOS 处理技术使芯片向着更小的几何尺寸发展，因而所需电压也跟着降低。功耗随着电压降低速度的平方快速降低。同时，由于晶片尺寸变小，片内的走线变短，这就使电容也变小，只是电容的变化和晶片尺寸的变化并不成比例关系。

减小晶片尺寸虽然有利于降低电压和减小电容(即降低功耗、提高速度)，但也会带来一些负面效应。首先，电源电压降低，则晶体管的传输延迟会增加，这是因为信号电容增大、传输路径变长的缘故。为此，电压降低，则工作频率也要降低，因此使产品性能受到影响。要解决这个问题，可以将芯片内部的时钟频率降低一半，而在输出处将其恢复到原来的频率。这样一来，芯片在外部表现出的性能没有任何变化。

本文小结

随着 CMOS 处理技术的发展，CPLD 芯片的电源电压还会降低，功耗也会进一步降低。解决了功耗问题之后，CMOS 设计工程师们又要面对新的问题：怎样才能继续提高产品的性能？要解决这个问题还面临许多挑战。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 epcity@epcity.com 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10