

cpu 和 dsp 功能结合

今年二月 Intel 和 Analog Devices 宣布开发一种新的 DSP 内核。尽管只透露了很少的细节,但考虑到 Intel 是世界上第一大 CPU 供应商, Analog Devices 是世界上第四大 DSP 供应商,看来结合 Intel CPU 和 Analog Devices DSP 的一种混合结构的产品在试验中。这个月底, Lucent 和 Motorola 将发布一种新的 DSP 内核, 以此作为星核联盟的一部分。第一个器件将是 DSP, 但考虑到 Lucent 和 Motorola 在微处理器和 CPU 市场上的主导地位, 以及 Lucent 将获得使用 Motorola 的 M 核微处理器结构的许可的这一事实, 看来综合 CPU 和 DSP 的结构的产品在酝酿中。芯片商所垂涎的 CPU 和 DSP 供应商们彼此垂涎对方的市场已有 10 年了。CPU 供应商, 从自身角度出发, 要为多余的 MIPS 找个用武之地, 而 DSP 的功能则是以巨大的多媒体市场为中心的, 这一市场是他们所瞄准的。DSP 供应商们, 则通过增加更容易编程的结构, 使其产品更对大型机设计者的口味。虽然 CPU 和 DSP 仍然相去甚远, 但是它们在逐渐彼此融合, 双方的设计者都向对方的产品性能靠拢。

CPU 和 DSP 的融合采取了很多种形式。例如, 象 Pentium、UltraSPARC 这样的尖端 CPU, 也具备了硬件乘法器和为高速算术与矢量操作而设计的多媒体指令设备扩展。同时, 许多尖端 DSP (特别是浮点器件), 已经具有比较直角的指令设备, 编译起来更加方便, 这样 DSP 可更容易控制, 功能上更加独立, 不象从前还需要特定的主机设备。有些尖端 DSP 已经开始和通用控制内核协作, 内核的任务是运行 C 语言主程序, 将内部循环计算分配给一个或几个乘加单元。DSP 技术也被集成到尖端微控制器中, 比如 Siemens 的 Tricore 与 Hitachi 的 SH-DSP, 或者通过固定的 DSP 执行单元, 或者通过单个 DSP/CPU 执行单元。

应用决定分开

通用 CPU 善于传输大量的数据, 而 DSP 善于采样并处理实时信号, 它们的结合是很自然的。大多数控制, 通讯, 多媒体应用都要求综合数据传输和信号处理功能。问题是, 如何实现这个功能, 同时占用最小的空间, 化费最少, 编程效率最高? 所有这些, 均取决于应用的类型、数据处理和信号处理的结合程度、投放市场的时间要求。

尖端个人机和 workstation CPU, 象 Pentium、UltraSPARC, 特别擅长数学计算和信号处理。一个重要原因是它们集成了高性能的浮点单元, 能在每个时钟周期内执行一条乘加指令, 始终作整数运算。而且, Pentium、UltraSPARC 提供的 MMX、VIS 指令设备, 处理器执行 SIMD (单指令多数据) 矢量操作, 大大加快了象图象这样的多媒体应用。最后, 两种处理器都有特别宽, 高速的外部数据总线, 以确保 MMX/VIS 单元不断获得新数据。尖端 CPU 的信号处理能力仅次于最快的多乘加器 DSP, 因为它们具有 32 或 64 位操作指令, 并且将死区用于通用处理, 但是, 在作大量信号处理时缺乏 DSP 的效率 (费用, 能耗, 编码密度)。在基本是作信号处理的情况下, 不用尖端 CPU, 而可以用微处理器内核, 结合 DSP 功能, 效果是一样的。这样做有好几种方式: 通过附加乘加器; 集成一个独立的微处理器和 DSP 内核; 合并 DSP 和微处理器执行单元。附加乘加器是最直接的方法, 许多微处理器生产者都是这样作的, 以提高他们的产品在某一特定领域的算术能力。例如, NEC, Mitsubishi 都在其微处理器上加了乘加器以满足控制磁盘驱动器时的算术需要。除了往微处理器上添加乘加器外, 性能更好的方法是加入全功能的 DSP 内核, 扩展了乘加器的算术功能, 因为具有高速位操作, 循环寻址, 减零循环和其他一些基本功能, 使其更适合信号处理。附加乘加器和结合 DSP 与微处理器的方法一般用于矢量寻址的应用场合, 比如基站终端。

analog Device 就推出一种 GSM 手机, 结合 ADSP2100 DSP 与 Hitachi H8 微处理器内核。微处理器提供系统控制并处理协议堆栈。DSP 处理所有的 GSM 语音和信道编码。德州仪器

公司在将其产品推向基站工业时也采取了相同的方法。为诺基亚和爱立信手机而设计的，就结合了 C54x DSP 和较次的 ARM 处理器。什么才合理从效率的角度来说，把 DSP 和微处理器集成到一块芯片内，在设计市场大、功能固定的产品如调制解调器或基站终端时是非常合理的。在这种情况下，数据处理和信号处理的要求能事先确定，CPU、DSP 和输入输出资源能最优化分配。缺点是需要为两个内核各开发独立的软件。一般程序员要掌握两套开发工具，用两种语言写代码(微处理器用 C 语言，DSP 用汇编语言)，而且需要手工调整使两个程序同步。许多芯片供应商都愿意容忍这个让人头痛的事，只要在生产时解决这个问题，把费用转嫁到成千上万的产品中去。在通用器件中结合独立的 DSP 内核与微处理器是不很合理的。想在很广的应用范围内充分利用 DSP 的功能是非常困难的。而且，双轨发展的努力最终要用户来接收。用户对产品投放市场的时间很挑剔，这使软件的拖延变的更加不可容忍，另外，产品数量小的话，就很难收回研究成本。

紧密结合

为提高硬件效率和编程者的效率，瞄准通用项目的芯片供应商采用了 DSP、CPU 的混合结构，把微处理器和 DSP 执行单元更加紧密的结合在一起。ARM 为第一代 Piccolo 器件而作的设计变化，结合了 ARM7 CPU 和 16 位的 DSP，就生动的说明了这一点。公司自己承认，Piccolo 在几个关键方面受到限制。其中之一，DSP 缺乏自己的地址发生器，因此，它要依赖 ARM7 来获得数据，这降低了协作性。其次，尽管内核的编程环境一样，DSP 有自己的一套指令和独立的寄存器，使编程更加复杂。

将于五月召开的嵌入式处理器讨论会上，ARM 将推出一种新的器件，可以弥补以上那些缺点。这种新器件采用 ARM9 内核，通过提供外部 32 位指令和数据通道，以及为 DSP 提供独立的地址产生器，大大提高数据产生量与精确度。为使这种器件易于编程，ARM 使指令系统和寄存器相统一，使 DSP 能用 C 语言编程(Piccolo DSP 只能用汇编编程)。公司也暗示，将采用多乘加器以改进 DSP 内核。

再迈进一步

东芝和西门子已经作出努力，把 DSP、CPU 更加紧密的结合在一起。东芝的尖端产品，例如 SH3-DSP，结合了 32 位的 SuperH RISC 处理器与 16 位的定点 DSP。SH3-DSP 也提供了 128 入口的 MMU，4 通道 DMA 控制器，2 个 40 位的累加器，8 通道的 10 位 AD 转换器，2 通道的 8 位 DA 转换器。而且还提供 8KB 的 X、Y 的数据 RAM，16KB 的 CPU、DSP 共享的数据缓存区。

SH3-DSP 提供独立的 CPU(68 条 16 位 RISC 指令)和 DSP(92 条 16/32 位 DSP 指令)，以及寄存器(6 个 32 位 DSP 寄存器)。DSP 和 CPU 采用不同的指令系统时，共享数据和解码单元。为使协调性最大，SH3-DSP 提供了 4 套内部总线。这种结构能使 CPU、DSP 在 DMA 控制器选中 X、Y 数据 RAM 时同时访问共享缓存区。最主要的，器件在每个时钟周期内可执行 4 条独立指令——加，减，乘，在内存里存取数据。

西门子的 Tricore，结合 32 位的 RISC CPU 和 16 位 DSP，使集成度和精确度更高。象 SH3-DSP 一样，CPU、DSP 共享一块数据和解码单元。但是于之不同的是，Tricore 的 DSP、CPU 是在一条流水管道，一套指令系统，一套寄存器的基础上发展起来的。为使协调性最大，Tricore 器件通过独立的总线向内核传输 16KB 的指令与数据缓存区的内容。Tricore 也提供两个 16 位的乘法器，每个时钟周期可以作两个 16×16 的乘法或一个 32×32 的乘法。

将 CPU、DSP 紧密结合提高了硅的利用率，减小了能耗。同样重要的是，这简化了编程，更易于在集成软件环境下开发器件。例如，Green Hills Software 用普通的 IDE 就能使用 SH3-DSP 和 Tricore 器件，提供系统级的调试，编译，执行和版本控制。高水平的软件支持是大型机设计者能接收 DSP 的重要条件。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 epcity@epcity.com 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10