

## DSP 接口技术

JimRyan

随着数字信号处理 (DSP) 在各种应用中 (从高级消费类产品到高规格军事系统) 变得更加普遍, 电子设备设计人员在 DSP 软件和硬件开发领域必须学习新的技能。到 DSP 的接口变换器所有现代的定点和浮点 DSP 引擎都具有一个串行接口或并行存储器接口。并行数据总线宽度等于 DSP 的内部字长, 对于大多数的定点处理器其字长通常为 16 位。然而, 在某些 DSP 家族中其字长为 24 位, 在音频处理应用中采用这种特高的分辨率。浮点处理器的数据总线宽度为 32 位或更宽。串行接口可全双工同步操作, 而输入和输出数据以位方式串行格式进行操作。每次传送的最大位数通常等于处理器的内部数据总线宽度, 但通常可编程适于接口各种不同的外设。一般意义上, 变换器可以认为是 DSP 处理器的“存储器寻址”外设, 可以读或写表示变换值的数据。初看起来, 选定变换器和 DSP 之间所采用的接口类型似乎很容易。在 DSP 引擎中采用的变换器接口也有两种基本的接口类型——串行和并行。实际上所有 DSP 都提供串行接口。用于嵌入应用的服务器件只提供串行接口, 因为去掉成本高的外部数据和地址总线可使器件成本降低。

### 并行接口

原来把变换器设想为接口, 让它们配置在早期计算机的存储器地址图中。结果, 变换器表现为处理器的存储器地址图中一个地址或一系列地址, 使得在一个周期内读 (从 ADC) 或写 (到 ADC) 所传送的变换数据。

传送是快速的, 可以认为是简单存储器存取周期。工作在 100MIP 和更高指令速率的高速 DSP 具有非常短的存储器存取周期时间。为了成功地与一个变换器接口, 往往需要对 DSP 进行编程, 以便在变换器存取周期时间内插入等待状态。在很多 DSP 中此特性是可编程的而且单独地为不同外部存储器地址区编程。

另一种技术是利用存储器认可信号, 此信号告知处理器何时准备好供读或写的数据。有些 DSP 为变换器和其他无存储器外设 (如 UART 等) 提供一个独立的外部地址区 (或 I/O 空间)。图 1 示出一个并行接口的实例, 一个定点 DSP 到一个 12 位 ADC 和一个 14 位 DAC 的接口。在此使用了 I/O 寻址空间, 而且具有比较大的寻址空间, 需要 (或不需) 译码来选择变换器。此例使并行接口的某些缺点显得很突出, 因为 DSP 和变换器为了支持接口都需要多引脚数。变换器对可变换的每一数据位都需要引脚以及需要片选 (CS)、读 (RD) 或写 (RW) 引脚。并行接口的多引脚数使得芯片和封装成本比串行接口高。并行接口的优点是具有较快和高变换速率 (大于 1Msample/s), 这对于支持所需要的数据速率是必需的, 而串行接口显然太慢。

从编程观点看, 并行接口易于处理, 因为只包含到存储器或 I/O 地址的简单的读或写。即使采用高级语言 (如 C 语言) 也可以在存储器区域表示变量 (或用特殊的指令在 I/O 区域表示变量)。

### 串行接口

串行接口可追溯到第一代微控制器, 制造商力图通过采用 3 线接口来减少引脚数以便连接微控制器与外设。此方法是有效的, 特别是当串行传送速率大于变换器或外设所需的数据带宽时更是如此。与并行传送在一个周期内传送整个变换数据所不同的是在串行传送中被传送的数据是以位串行方式传送, 首先传送的是变换数据的最高有效位 (MSB) 或最低有效位 (LSB), 在每一个串行时钟周期一位一位的传送下去, 直到 N 位变换数据的所有 N 位传送完为止。

此原理已推广到 DSP 接口, 其所支持的串行传送率可在几十兆范围内。

串行接口的主要优点之一是减少了引脚数。制造商已提出很多不同的协议，其中的一些协议已成为行业标准，包括串行外设接口（SPT）、排队 SPI（QSPI）、相互 IC 总线 I2C）和相互 IC 语音总线（I2S）。其中 SPI 和 QSPI 由 Motorola 提出，而 I2C 和 I2S 由 Philips 提出。

串行接口优于并行接口，使得引脚数减少是有意义的。大部分的定点处理器允许通过其串行端口串行发送和接收 4 到 16 位长的字。因此，为了方便起见，大多数分辨率高于 8 位的变换器在变换器和 DSP 之间的数据和状态传送用 16 位字长工作。大多数 DSP 的串行端口设计成工作在全双工而它们不同于微控制器的一般串行接口，它们用一个帧同步脉冲，通常是一个独立的引脚（或异步全双工传送的两个引脚）来指示数据帧的开始。微控制器的典型串行接口用 SCLK（串行传输时钟信号）做为串行数据的指示，因此 SCLIC 只有当数据有效时才有效。DSP 串行接口可与一连续的 SCLK 一起工作，此时 FS（帧同步）脉冲指示数据有效的开始。

用一帧同步脉冲成帧或开始串行传送是 DSP 的 SPORT 用来接口变换器最通用的串行格式。因为 DSP 的 SPORT 具有较大的灵活性，所以可使变换器成为主或从。变换器可以产生帧同步来开始传送（变换器是主）或由 DSP 产生帧同步（变换器是从）。DSP 串行接口示于图 2。

### 取样和变换

在任何 DSP 系统中取样过程未必意味着变换。信号处理理论要求输入或输出信号的取样率至少必须是所关心的最高频率的两倍，以符合 Nyquist 准则。取样是一个瞬时过程，在大多数的变换器中都包含一个在取样阶段采集所需信号电平的模拟取样电路

在 ADC 中，被取样的模拟信号加到变换器，然后被数字化。其数字表示直到取样瞬间之后的某限定时间才有效。在 DAC 中在取样瞬间之前新的变换数据必须存在于 DAC 的内部寄存器

变换器类型的选择取决于在混合信号系统中采用什么方法取样。很多以  $\Sigma$ - $\Delta$  技术为基础的新式变换器是自定时的并确定它们自己的取样率或更新率。在此类变换器中由于采用高的过取样比（OSR），所以其取样率是更新率的很多倍。这些器件通常做为“主模式器件”工作，它们借助硬件中断线的请求服务促使处理器接受结果，或者当它们准备好时简单地传输结果

假若采用非  $\Sigma$ - $\Delta$  变换器，则必须选定是借助一个周期硬件定时器确定取样和变换还是借助一个周期硬件定时器触发处理器中的软件中断。虽然大多数现代 DSP 的指令速度为几十到几百兆赫，但由定时器时间输出条件所产生的服务中断有一定的等待时间，很多处理器具有可编程定时器做为其外设之一。

在实时系统中，在其他较高优先中断出现时在时间输出事件和有关中断服务程序（ISR）执行之间可能存在一个相当长的延迟。假若这是所关注的问题，则采用一个外部定时器产生周期取样脉冲是比较合适的。这至少保证变换发生在正确瞬间，不管软件等待时间是否导致在变换数据的读或写中延迟。

### 中断服务程序

中断服务程序（ISR）通常在信号处理应用中用以处理输入/输出取样。模拟信号的取样和变换数据的读和写由 ISR 控制或产生一个 ISR。

对于并行接口的变换器，其读和写可简单地是一个外存储器存取周期。然而，在串行接口变换器件，ISR 可开始串行传送或 ISR 作为串行传送完毕的结束。系统软件结构将决定发生在 ISR 中的处理量。

### 多变换器接口

在很多应用中，其设备包含接口多个变换器而不是单个变换器。设计者的任务是包括附加的变换器而不增加连接逻辑来支持它们。在便携嵌入系统中这是很关键的，因为附加的支

持逻辑将增加功耗、电路板尺寸和成本。

采用并行接口的变换器可带有连接到 DSP 数据总线的它们自己的数据总线引脚，这需要附加的来自地址译码逻辑的选择线。通常，变换开始脉冲可连接到所有变换器的 CONVST 引脚。很多新式 DSP 产品提供存储器地址间的直接存储器存取 (DMA) 通道。如果变换器译码到存储器空间，不用处理器介入而用 DMA 方法来读/写变换器是可能的，在执行完时产生一个中断

假若变换器采用串行接口，则有两种选择：硬件多路转换或软件控制级联。大多数 DSP 提供一个或两个 SPORT。其中之一对于接口主处理器或处理管理器是需要的。对每个变换器连接专用一个独立 SPORT 接口是行不通的。提供把一系列串行器件连接到一个 DSP SPORT 的方法是解决办法。不同的变换器制造厂家用不同的方法解决此问题。设计人员可选择时分复用 (TDM) 方法或软件控制级联方法。在 TDM 中，每一个器件在一个特定的时隙内对 SPORT 都是现用的。在软件控制级联方法中，所有的器件都成菊花链连接在一起，通过链按照锁存信号或串行协议借助移位数据实现数据传送。

采用 DSP 的设计的一个共同要求是接口 ADC 或 DAC 或者含有二者的组合产品，以提供在处理器中连续模拟信号不连续表示之间的变换。在一定的设计情况下两种主要接口类型具有不同的优点。并行器件具有较高的传输速度而且在存储器寻址系统中接口容易，而串行器件具有较小的尺寸（引脚数较少）以及可能的低成本和低功耗。对设计者来说，重要的是考察所用处理器和变换器的接口性能指标，以确保实现正确的接口。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 [epcity@epcity.com](mailto:epcity@epcity.com) 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10