

# EDA 技术的发展与应用

## 1 前言

人类社会已进入到高度发达的信息化社会,信息社会的发展离不开电子产品的进步。现代电子产品在性能提高、复杂度增大的同时,价格却一直呈下降趋势,而且产品更新换代的步伐也越来越快,实现这种进步的主要原因就是生产制造技术和电子设计技术的发展。前者以微细加工技术为代表,目前已进展到深亚微米阶段,可以在几平方厘米的芯片上集成数千万个晶体管;后者的核心就是 EDA 技术。EDA 是指以计算机为工作平台,融合了应用电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包,主要能辅助进行三方面的设计工作:IC 设计,电子电路设计以及 PCB 设计。没有 EDA 技术的支持,想要完成上述超大规模集成电路的设计制造是不可想象的,反过来,生产制造技术的不断进步又必将对 EDA 技术提出新的要求。

## 2 EDA 技术的发展

回顾近 30 年电子设计技术的发展历程,可将 EDA 技术分为三个阶段。

七十年代为 CAD 阶段,这一阶段人们开始用计算机辅助进行 IC 版图编辑和 PCB 布局布线,取代了手工操作,产生了计算机辅助设计的概念。

八十年代为 CAE 阶段,与 CAD 相比,除了纯粹的图形绘制功能外,又增加了电路功能设计和结构设计,并且通过电气连接网络表将两者结合在一起,以实现工程设计,这就是计算机辅助工程的概念。CAE 的主要功能是:原理图输入,逻辑仿真,电路分析,自动布局布线,PCB 后分析。

九十年代为 ESDA 阶段。尽管 CAD/CAE 技术取得了巨大的成功,但并没有把人从繁重的设计工作中彻底解放出来。在整个设计过程中,自动化和智能化程度还不高,各种 EDA 软件界面千差万别,学习使用困难,并且互不兼容,直接影响到设计环节间的衔接。基于以上不足,人们开始追求贯彻整个设计过程的自动化,这就是 ESDA 即电子系统设计自动化。

## 3 ESDA 技术的基本特征

ESDA 代表了当今电子设计技术的最新发展方向,它的基本特征是:设计人员按照"自顶向下"的设计方法,对整个系统进行方案设计和功能划分,系统的关键电路用一片或几片专用集成电路(ASIC)实现,然后采用硬件描述语言(HDL)完成系统行为级设计,最后通过综合器和适配器生成最终的目标器件。这样的设计方法被称为高层次的电子设计方法,具体流程还将在 4.2 节中做深入介绍。下面介绍与 ESDA 基本特征有关的几个概念。

### 3.1 "自顶向下"的设计方法

10 年前,电子设计的基本思路还是选择标准集成电路"自底向上"(Bottom-Up)地构造出一个新的系统,这样的设计方法就如同一砖一瓦地建造金字塔,不仅效率低、成本高而且还容易出错。

高层次设计给我们提供了一种"自顶向下"(Top-Down)的全新的设计方法,这种设计方法首先从系统设计入手,在顶层进行功能方框图的划分和结构设计。在方框图一级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。然后用综合优化工具生成具体门电路的网表,其对应的物理实现级可以是印刷电路板或专用集成电路。由于设计的主要仿真和调试过程是在高层次上完成的,这不仅有利于早期发现结构设计上的错误,避免设计工作的浪费,而且也减少了逻辑功能仿真的工作量,提高了设计的一次成功率。

### 3.2 ASIC 设计

现代电子产品的复杂度日益加深,一个电子系统可能由数万个中小规模集成电路构成,这就带来了体积大、功耗大、可靠性差的问题,解决这一问题的有效方法就是采用 ASIC (Application Specific Integrated Circuits)芯片进行设计。ASIC 按照设计方法的不同可分为:全定制 ASIC,半定制 ASIC,可编程 ASIC(也称为可编程逻辑器件)。

设计全定制 ASIC 芯片时,设计师要定义芯片上所有晶体管的几何图形和工艺规则,最后将设计结果交由 IC 厂家掩膜制造完成。优点是:芯片可以获得最优的性能,即面积利用率高、速度快、功耗低。缺点是:开发周期长,费用高,只适合大批量产品开发。

半定制 ASIC 芯片的版图设计方法有所不同,分为门阵列设计法和标准单元设计法,这两种方法都是约束性的设计方法,其主要目的就是简化设计,以牺牲芯片性能为代价来缩短开发时间。

可编程逻辑芯片与上述掩膜 ASIC 的不同之处在于:设计人员完成版图设计后,在实验室内就可以烧制出自己的芯片,无须 IC 厂家的参与,大大缩短了开发周期。

可编程逻辑器件自七十年代以来,经历了 PAL、GAL、CPLD、FPGA 几个发展阶段,其中 CPLD/FPGA 属高密度可编程逻辑器件,目前集成度已高达 200 万门/片,它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起,特别适合于样品研制或小批量产品开发,使产品能以最快的速度上市,而当市场扩大时,它可以很容易的转由掩膜 ASIC 实现,因此开发风险也大为降低。

上述 ASIC 芯片,尤其是 CPLD/FPGA 器件,已成为现代高层次电子设计方法的实现载体。

### 3.3 硬件描述语言

硬件描述语言(HDL-Hardware Description Language)是一种用于设计硬件电子系统的计算机语言,它用软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式,与传统的门级描述方式相比,它更适合大规模系统的设计。例如一个 32 位的加法器,利用图形输入软件需要输入 500 至 1000 个门,而利用 VHDL 语言只需要书写一行  $A=B+C$  即可,且 VHDL 语言可读性强,易于修改和发现错误。早期的硬件描述语言,如 ABEL-HDL、AHDL,是由不同的 EDA 厂商开发的,互不兼容,而且不支持多层次设计,层次间翻译工作要由人工完成。为了克服以上缺陷,1985 年美国国防部正式推出了 VHDL(Very High Speed IC Hardware Description Language)语言,1987 年 IEEE 采纳 VHDL 为硬件描述语言标准(IEEE STD-1076)。

VHDL 是一种全方位的硬件描述语言,包括系统行为级、寄存器传输级和逻辑门级多个设计层次,支持结构、数据流、行为三种描述形式的混合描述,因此 VHDL 几乎覆盖了以往各种硬件描述语言的功能,整个自顶向下或自底向上的电路设计过程都可以用 VHDL 来完成。另外,VHDL 还具有以下优点:VHDL 的宽范围描述能力使它成为高层次设计的核心,将设计人员的工作重心提高到了系统功能的实现与调试,只需花较少的精力用于物理实现。VHDL 可以用简洁明确的代码描述来进行复杂控制逻辑的设计,灵活且方便,而且也便于设计结果的交流、保存和重用。VHDL 的设计不依赖于特定的器件,方便了工艺的转换。VHDL 是一个标准语言,为众多的 EDA 厂商支持,因此移植性好。

### 3.4 系统框架结构

EDA 系统框架结构(Framework)是一套配置和使用 EDA 软件包的规范,目前主要的 EDA 系统都建立了框架结构,如 Cadence 公司的 Design Framework, Mentor 公司的 Falcon Framework 等,这些框架结构都遵守国际 CFI 组织(CAD Framework Initiative)制定的统一技术标准。Framework 能将来自不同 EDA 厂商的工具软件进行优化组合,集成在一个易于管理的统一的环境之下,而且还支持任务之间、设计师之间在整个产品开发过程中实现信息的传输与共享,这是并行工程和 Top-Down 设计方法的实现基础。

## 4 EDA 技术的基本设计方法

EDA 技术的每一次进步,都引起了设计层次上的一个飞跃

物理级设计主要指 IC 版图设计,一般由半导体厂家完成,对电子工程师并没有太大的意义,因此本文重点介绍电路级设计和系统级设计。

### 4.1 电路级设计

电子工程师接受系统设计任务后,首先确定设计方案,同时要选择能实现该方案的合适元器件,然后根据具体的元器件设计电路原理图。接着进行第一次仿真,包括数字电路的逻辑模拟、故障分析、模拟电路的交直流分析、瞬态分析。系统在进行仿真时,必须要有元件模型库的支持,计算机上模拟的输入输出波形代替了实际电路调试中的信号源和示波器。这一次仿真主要是检验设计方案在功能方面的正确性。

仿真通过后,根据原理图产生的电气连接网络表进行 PCB 板的自动布局布线。在制作 PCB 板之前还可以进行后分析,包括热分析、噪声及窜扰分析、电磁兼容分析、可靠性分析等,并且可以将分析后的结果参数反标回电路图,进行第二次仿真,也称为后仿真,这一次仿真主要是检验 PCB 板在实际工作环境中的可行性。

由此可见,电路级的 EDA 技术使电子工程师在实际的电子系统产生之前,就可以全面地了解系统的功能特性和物理特性,从而将开发过程中出现的缺陷消灭在设计阶段,不仅缩短了开发时间,也降低了开发成本。

### 4.2 系统级设计

进入 90 年代以来,电子信息类产品的开发出现了两个明显的特点:一是产品的复杂程度加深,二是产品的上市时限紧迫。然而电路级设计本质上是基于门级描述的单层次设计,设计的所有工作(包括设计输入,仿真和分析,设计修改等)都是在基本逻辑门这一层次上进行的,显然这种设计方法不能适应新的形势,为此引入了一种高层次的电子设计方法,也称为系统级的设计方法。

高层次设计是一种"概念驱动式"设计,设计人员无须通过门级原理图描述电路,而是针对设计目标进行功能描述,由于摆脱了电路细节的束缚,设计人员可以把精力集中于创造性的概念构思与方案上,一旦这些概念构思以高层次描述的形式输入计算机后,EDA 系统就能以规则驱动的方式自动完成整个设计。这样,新的概念得以迅速有效的成为产品,大大缩短了产品的研制周期。不仅如此,高层次设计只是定义系统的行为特性,可以不涉及实现工艺,在厂家综合库的支持下,利用综合优化工具可以将高层次描述转换成针对某种工艺优化的网表,工艺转化变得轻松容易。具体的设计流程见图 3。

高层次设计步骤如下:

第一步:按照"自顶向下"的设计方法进行系统划分。

第二步:输入 VHDL 代码,这是高层次设计中最为普遍的输入方式。此外,还可以采用图形输入方式(框图,状态图等),这种输入方式具有直观、容易理解的优点。

第三步:将以上的设计输入编译成标准的 VHDL 文件。对于大型设计,还要进行代码级的功能仿真,主要是检验系统功能设计的正确性,因为对于大型设计,综合、适配要花费数小时,在综合前对源代码仿真,就可以大大减少设计重复的次数和时间,一般情况下,可略去这一仿真步骤。

第四步:利用综合器对 VHDL 源代码进行综合优化处理,生成门级描述的网表文件,这是将高层次描述转化为硬件电路的关键步骤。

综合优化是针对 ASIC 芯片供应商的某一产品系列进行的,所以综合的过程要在相应的厂家综合库支持下才能完成。综合后,可利用产生的网表文件进行适配前的时序仿真,仿真过程不涉及具体器件的硬件特性,较为粗略。一般设计,这一仿真步骤也可略去。

第五步:利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,

包括底层器件配置、逻辑分割、逻辑优化和布局布线。适配完成后，产生多项设计结果：①适配报告，包括芯片内部资源利用情况，设计的布尔方程描述情况等；②适配后的仿真模型；③器件编程文件。根据适配后的仿真模型，可以进行适配后的时序仿真，因为已经得到器件的实际硬件特性（如时延特性），所以仿真结果能比较精确地预期未来芯片的实际性能。如果仿真结果达不到设计要求，就需要修改 VHDL 源代码或选择不同速度品质的器件，直至满足设计要求。

第六步：将适配器产生的器件编程文件通过编程器或下载电缆载入到目标芯片 FPGA 或 CPLD 中。如果是大批量产品开发，通过更换相应的厂家综合库，可以很容易转由 ASIC 形式实现。

## 5 结束语

EDA 技术是电子设计领域的一场革命，目前正处于高速发展阶段，每年都有新的 EDA 工具问世，我国 EDA 技术的应用水平长期落后于发达国家，因此，广大电子工程人员应该尽早掌握这一先进技术，这不仅是提高设计效率的需要，更是我国电子工业在世界市场上生存、竞争与发展的需要。

本文内容来自互联网，著作权归原作者所有。由电子零件城（<http://www.epcity.com/>）整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 [epcity@epcity.com](mailto:epcity@epcity.com) 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔（QQ：154502842） 2004-04-10