

FPGA 与 ASIC 技术的融合

在设计下一代便携产品时,采用价格高、功耗大和使用容易、灵活的 FPGA,还是相对便宜小型、功耗低的 ASIC?答案是兼有 FPGA 和 ASIC 二者。

目前,ASIC 与 PLD 的选择很简单。只要计算一下 ASIC 的成本,包括 NRE(一次性工程费用)和芯片成本,将所得结果与可编程器件相比较就可作出结论。对于便携产品,还须权衡 ASIC 的功耗、尺寸优势与可编程器件的柔性等。但是,随着产品性能要求的变化、芯片复杂性的上升、产品设计周期的缩短和硅技术与软件技术的进步,ASIC 与可编程器件的选择趋于复杂化。因为可编程器件变得与 ASIC 类似,而 ASIC 厂商正在研究可编程功能的价值。在这一过程中,一种将二者融合的新的硅器件应运而生。FPGA 不再仅作开发样机用,还可与 ASIC 的厂商正在努力创建一座结合二者优势的桥梁。

优于 ASSP

问题更为复杂的原因还在于,用户可能对已上市的专用标准产品(ASSP)并不十分注意。实际上,有些 ASSP 已达到 SOC 集成水平,并对便携产品产生特殊的引力。

另有一种叫做专用可配置结构产品(ASCP),更优于 ASSP 器件。按照 ASCP 所设计的芯片,并不局限于专用,还可同时用于几种不同产品,因而可降低成本。采用 ASCP 的产品与采用标准部件的产品不同,ASCP 定义为半专用芯片,它可象 ASSP 一样向几个用户供货;但它采用了宏模块(宏单元/总线宏结构)和嵌入式门阵列的专用模拟设计技术,软件版本采用标准软件导入码、驱动码以及掩膜可编程 ROM。

不论 ASCP 还是 ASSP,设计开发的重点仍然是可编程逻辑,产生效益的批量为 45000 只左右或稍少些。它们的单位门价格正在下降,门总数也随器件特征尺寸的缩小成比例迅速上升。目前 10 万门器件的单位价格已降至十美元以下。

向 APEX 迈进

多数新的 PLD 工艺水平为 0.35 μm ,处于领先地位的 Altera 公司的 APEX(高档可编程嵌入式矩阵,以前称为 Raphael)的工艺正在延伸到 0.25 μm 。预计今年下半年将向 0.18 μm 过渡,其对应的芯片工作电压可降为 1.8V,这对便携式产品颇具吸引力。

APEX 代表了混合器件发展的趋势。它总体上包括三种不同类型的结构:锁定表(LUT)、产品项目块和嵌入存储器块,这些结构能够集成复杂的功能。如将以上三种结构集成在同一芯片上,可以得到不同性能的 FPGA。

对 FPGA 的评价

FPGA 使用正在普及,有多方面的原因。其一是用它设计的便携产品,即使已经发货,仍可在现场升级或修改。它的最大优点是能进行设计调整而满足产品升级。

关于价格与设计成本,CPLD(复杂可编程器件)与 FPGA 在同一档次,而 ASIC 与 FPGA 的差别很大。有专家将 ASIC 设计方法的升级比作以高价的入场费参加国际象棋锦标赛。这是因为 ASIC 设计方法的升级投入高(如用户需配置一些贵重的工作站级 EDA 软件),设周期长(不象 FPGA 那样用 1~2 周便可完成 20~40 万门设计),会影响新品的上市时间。因此,可编程器件得到了设计人员的认可。在一块 FPGA 芯片上进行 10 万门的设计并不需要昂贵的"入场费",这是 FPGA 普及的另一个原因。

目前上市的 FPGA 为 25 万门,到 2001 年将达到 200 万门。到那时,一个完整的系统可以在一块 FPGA 上实现。但是,随着设计的进步,百万门 FPGA 可能是它利润下降的拐点。

随着 FPGA 集成度的提高,可以更少的投入,实现不同产品的更高性能和价值。在 FPGA 的可用门性能对高档功能的支持中,IP 的价值正在充分展现。IP 已成为有效地进行大规模

设计和缩短设计时间的基础。

关于 IP

由于 IP 厂商到处兜售他们的 IP 制作成品，用户购买与使用 IP 并不方便。因此，几乎所有所有的 FPGA 厂商或与 IP 的开发方结成伙伴关系，或建立自己的 IP 库。如 Altera 公司就是这样，它采取以上二种方案，来满足宏功能块或软核的需求。所谓宏功能是一种现成的、参数化的、经过预测试并能有效地利用目标可编程逻辑器件结构的 IP。Altera 已创建了一些宏功能块并融合在经测试的 IP 原文件中。当然无论采用那种方案，软件工作对 IP 在用户设计中的作用，都十分重要。

FPGA 的领先厂商之一 Xilinx 专门提供经预定义与测试的 IP 内核。如它的 PCI132XL 内核可用于集成 32 位、33M、PCI 接口的 FPGA，价格不到 7 美元。这种 FPGA 内核或芯片，具有价格和 3.3V 电源管理上的优势，在大批量生产时可与标准 PCI 芯片组竞争。

从 FPGA 到 ASIC

在 FPGA 设计时，只要遵循某些规定并交付通常的一次性工程费用 (NRE) 就有厂家，如 AMI (美国微系统公司) 和 Chip Express 公司，可以将用户设计的 FPGA 转换成 ASIC 采用这一方式，扣除 NRE 后，比原方案所设计的 FPGA 更便宜、芯片功率更小。其转换的价格，取决于转换过程中的工作量。

Chip Express 公司可提供激光可编程门阵列 (LPGA)，它兼有 FPGA 和传统门阵列的优点。当然，为实现所要求的 FPGA 设计转换，用户必须提供模拟设计和测试矢量。

AMI 公司将 FPGA 自动移植为门阵列或标准单元 ASIC，并以低成本或者多对一的自动转换实现，它可将大单元、多个 FPGA 和模拟电路集成于一个芯片上。它包括从网络表和选择模拟数据文件到提供同步和一些异步设计的无向量移植。

有人认为，为了降低成本，将采用 FPGA 开发的产品移植转换为成本更低的 ASIC 是必然的。因此，FPGA 设计人员在设计中是否对移植有考虑，是平滑而成功地实现这一转换的关键。其中很重要的是将设计规范化并采用同步设计，避开 FPGA 专有的特性，开发测试工作台等。

即使是原来的设计未能预先作移植上的考虑，仍然可将 FPGA 转换成 ASIC。只是成本与上市时间不同而已。

ASIC 向可编程迈进

随着复杂系统向 SOC 推进，硅片面积、封装尺寸和功耗正在减小。确实地说，如果将 SOC 看作标准部件，那么便携式产品的所占空间将更小。一方面，硅片级 IP 的引入使可编程器件变得更象 ASIC；另一方面，ASIC 厂商正在从它的对手 FPGA 那儿学到一些设计诀窍。

一个例子是 LSI Logic 公司最近推出单片 CDMA 基带处理器 (CBP)。该芯片集成了 ARM7TDMI 微处理器、二个 OakDSP 内核、混合信号电路以及标准单元逻辑，它包括了单芯片所有的基带处理逻辑，适用于无线通信、双模式电话、无线 Modem (调制解调器) 和其它以电路板尺寸、功耗和成本为主要考虑因素的便携式产品中。

CBP 开发系统 (CDS) 可支持 CDMA 芯片，提供开发与查错纠正调试平台。该芯片的 503 条引脚形式可以在 CDMA 全速运行状态下观察所有的数据总线，它采用了与 μ BGA (208 脚微型球栅阵列) 相兼容的适配器，可在生产线上进行电路调试。该开发系统的 RAM 为基础结构可将用户要求的产品特性在批量生产前就完成集成，并与 ROM 为基础的芯片相兼容。

LSI 公司的 CoreWare (内核部件) 方法可用于各种 ASIC 的实现。如按用户定义的逻辑，集成有 MIPS 微处理器、DSP、以太网卡、MPEG-2 或者 PCI 内核，还可在芯片上增加一些 RAM 和高性能 I/O。将这些现成的内核集成到单一芯片上，可以减少部件数、缩小电路板的尺寸，同时加快开发时间。

协作设计的工具

随着 FPGA 可利用门数的迅速增加,用于实现这些芯片设计的工具显得更为重要。因为或许会要求几个工程师团队(可能工作于不同地方)采用同样的 FPGA 进行设计。

为了支持几百万门的 APEX FPGA 的开发,Altera 公司正在创建第四代 PLD 开发平台,取名为 Quartus。它可支持的工作环境包括国际互联网(Internet)下的合作设计。Quartus 能与领先的 EDA 厂家如 Cadence、Exemplar Logic、Mentor Graphics、Synopsys 和 Synplicity 公司的设计工具相兼容。

Quartus 的一个重要特点是在 Internet 下,便于软件升级、授权码的发放以及支持服务。例如,利用 Quartus 平台,可提交在线服务请求,Altera 的应用工程师会在 24 小时内作出响应以解决设计中的问题;还可以浏览所有的服务请求,确定它们的状态与解决方案。此外,Quartus 还会提醒与用户有关的软件升级事宜。

硬内核 FPGA

芯片制造商正在将固定功能的 ASIC 逻辑嵌入 FPGA 中代替软 IP,以进一步减少复杂功能设计与验证的时间。他们希望具有这种 FPGA 灵活性的标准产品使用容易、性能稳定。QuickLogic 公司推出的嵌入式标准产品(ESP)正是这样,它可作为标准产品与可编程逻辑之间的桥梁,也可取代软 IP。

由于 ESP 具有由用户配置逻辑所设定的定制功能,如同使用标准产品那样,可缩短开发周期。此外,由于器件与技术支持为同一厂商,不存在软 IP 可能出现的支持难题。

ESP 由三个基本部件组成:标准功能、可编程逻辑阵列以及实现标准功能定制化和处理标准模块与可编程模块之间通信的接口。

QuickLogic 公司的第一个 ESP 产品称为 QuickRAM,它组合了多个双口 RAM 模块,在用户可配置的 1152 位功能块中具有 15 万个可用 PLD 门和 363 个 I/O。每个 I/O 均可独立存取,存取时间为 5ns。16 位计数器的速度大于 250MHz,数据通路的的速度大于 275MHz。

最近推出的另一种 ESP,称为 QuickPCI,它为零等待状态 66MHz 64 位 PCI 总线。QuickLogic 公司把它定位为超软核、宏单元和大型功能的设计。但目前尚存在软 IP 的性能、相关内部定时、硅片成本、布线能力和管脚的引出稳定性等潜在问题。

类似的开发还有,朗讯科技的微电子部将掩膜编程的标准单元逻辑和 FPGA 集成于单一芯片上,称为现场可编程系统级芯片(FPSC)。该器件名为 ORCA3TP12,它将朗讯 ASIC 库中 ORCA 系列的 3FPGA 与 32/64 位、33/50/66MHz PCI 总线嵌入式内核结合于一体。

激光架桥

要将 FPGA 与标准单元联系在一起,必须用到门阵列。LPGA(激光可编程门阵列)的优点是试样时间短,大批量生产成本低。最近朗讯公司向 Chip Express 投资 1000 万美元,并提供激光可编程系统级芯片(LPSC)和 0.25 μ m 工艺技术,共同开发嵌入朗讯的标准单元系统级 IC 的 LPGA 技术。

LPGA 可将高密度的门阵列(最高可达 1 万门/mm²)与 FPGA 的柔性结合在一起,因此,它能迅速地将设计转成芯片。此外,LPGA 的功率优势优于 FPGA 甚至常规的门阵列。例如,Chip Express 公司以 0.35 μ m 工艺制作的 CX3000 系列,功耗为 0.3 μ W/MHz/门。

LPGA 的真正优势是可迭加几个 ASIC 设计,使新品上市更快。因 LPGA 可采用多个试样累接,分级验证设计的正确性,因此可节省为了保证首次设计成功所花费的大量时间。这与具设计柔性与上市快的 FPGA 方法学相类似。常规的 ASIC 设计,则须多次反复验证;即使产品的上市时间不受延误,也会因成本太高而失败。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 epcity@epcity.com 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10