

FPGA 的 DSP 应用

目前半导体的制造工艺已经达到 $0.25\ \mu\text{m}$ 、五层金属的水平，Xilinx 也推出了世界上最大的 FPGA: XC40125XV, 其门数达到 25 万门, 今年还计划推出 $0.18\ \mu\text{m}$ 、100 万门的 FPGA, 并且采用具有系统集成特性的结构, 如分段布线、除片内分布 RAM 外增加片内 RAM 和高速片外 RAM 接口等。这些技术为芯片上进行系统级集成提供了硬件条件。

在开发系统上, Xilinx 与综合技术实力很强的 Synopsys 主推 Express 软件, Express 可结合器件结构进行优化综合, 以 VHDL 或 Verilog 等标准硬件描述语言进行设计, 保证了优化的质量。由于 Express 是 PC 平台的软件, 因此已成为非常受欢迎的电子设计软件。

目前, 国外已广泛利用知识产权 (IP) 产品进行电子设计, Xilinx 把其内核产品和第三方合作伙伴开发的系统级设计模块/系统作为 IP 产品来提供, 包括 DSP、ATM、SDRAM 控制器和 CAN 总线接口等, 因此, 客户由以前购买 IC 产品然后在印制板上集成系统的方式, 变成当前在网上选购 IP 产品再在芯片上集成系统。

由此可见, 由于硬件、软件和 IP 产品等已为芯片上系统级集成创造了条件, 所以 FPGA 迅速向 DSP 等系统级应用方面发展。传统上, DSP 的算法是利用通用可编程 DSP 器件实现低速率的应用, 而利用专用 DSP 芯片组和专用集成电路 (ASIC) 实现高速的应用。FPGA 的优点为 DSP 设计工程师提供了新的选择, FPGA 具有类似 ASIC 的定制功能的优点, 并解决了 ASIC 高开发成本和制成产品后不能进行修改的缺点。FPGA 在保持印制板空间和系统功耗不变的同时, 也增加了设计的灵活性和适应性。对于要求利用 DSP 的设计, 或者产品上市时间要求短及设计适应性严格的设计, FPGA 是很好的解决方案。

基于 SRAM 的 FPGA 特别适合包括乘法、累加等的 DSP 功能算法, 以及广泛的算术函数, 如 FFT、褶积和各种滤波器算法, 并可以和周围的外设电路一起集成。

在 FPGA 器件中构造 DSP 系统时, 设计可以采用并行结构和分布算术算法的优点, 使资源最小化, 并可超过单片或多片 DSP 器件的性能。FPGA 中阵列乘法的分布算术算法是增加设计带宽和流量的一个方法, 可以超过流行 DSP 方案的几个数量级。

FPGA 还具有系统运行过程中进行再配置的能力, 可以有选择地更替执行多个系统级功能的一种。系统内可编程的 FPGA 可以在系统运行期间在印制板上进行再配置。采用可再配置的特点使一个最小芯片的方案可以转换为执行多个功能。对于由内部或外部控制器控制的这种最小芯片的 DSP 系统, FPGA 增加了系统的功能和处理能力。这个“可再配置计算”技术已经开始影响 DSP 的设计方法。

Xilinx 的 XC4000FPGA 是可配置逻辑功能块 (CLB) 的大矩阵, 每个 CLB 有两个 $16 \times 1\text{bit}$ 的 RAM 基本单元, XC40125XL 包含超过 9000 个带有触发器和可编程互连的 RAM。每个 CLB 可以用来实现逻辑功能、查找表的 ROM、单口或双口 RAM。称为 SelectRAM 的存储器分布在整个芯片内, 因此是片内分布 RAM。

Xilinx DSP 方案的关键元件包括利用称为分布运算的独特方法, 分布运算对于分布 RAM 结构是完全匹配的。利用这个运算与结构相结合的匹配, 复杂的 DSP 功能可以按照全定制芯片的效率装配进 FPGA。查找表和加法器结合起来可解决很多类型的 DSP 问题, 许多复杂的运算在查找表中被解决。例如, 在串行分布运算 (SDA) FIR 滤波器中, 查找表包含预先计算的滤波器系数之和, 利用输入的采样数据作为到查找表的地址, 许多操作可并行地执行, 不用任何乘法器构成的 FIR 滤波器可以惊人地减少执行此功能需要的资源。

FIR 滤波器中的分布 RAM 也可用来缓冲采样数据流。对于 16 位数据字, 每个采样字要求 16 个触发器。如果构造 500 个抽头将需要超过 8000 个触发器, 比现在大多数 FPGA 包含的触发器还要多, 但是采样分布 RAM 中带有许多中间抽头的大容量移位寄存器可以由

RAM 基本单元构成，几百抽头和运算每秒超过一亿次采样率的滤波器可装配进单个 FPGA 器件中。

自适应滤波器也可以得益于分布 RAM。基于 RAM 的查找表可以代替串行分布运算中基于 ROM 的查找表和并行分布运算 FIR 滤波器的核，因为 RAM 查找表允许系数瞬时更新，在 FPGA 中若没有分布 RAM，要实现大规模的自适应滤波器是不可能的。

在 DSP 应用中，几十亿次的乘法累加要求许多结点能够高速转换，对于 CMOS 的 IC 工艺，这种转换增加器件的交流功耗，所以，功耗常常成为限制因素，降低功耗也就显得尤其重要。对于给定工艺的几何尺寸，降低功耗的关键是缩短金属连线的长度来减少分布电容，达到至少降低两倍的功耗。XilinxFPGA 器件采用分段布线的结构来降低功耗，也使其 DSP 应用带来附加的特性。它允许在设计实现之前规定 DSP 核的尺寸和性能，当 DSP 核装配到一个大器件时得到相符的性能。

Xilinx 的 CORE 产生器和 DSP 的 LogiCORE 产品已经为用户完成大多数 DSP 的设计工作，这个工具自动地产生系统级 DSP 功能块。经过预先校验和性能表征的 DSP 核可以从分层的库中选择，然后按用户精确的技术条件给予参数，只要连接中心功能块就能创建一个每秒处理几百万次采样的设计，而不需要开发实时的处理器运行码。CORE 产生器产生符合用户技术条件的核，它可以提交这些核与大多数标准的硬件设计环境使用，如 VHDL、Verilog 或原理图输入等，它们的输出是逻辑网表和行为模型，为原理图输入使用的符号形式或为 VHDL 及 Verilog 使用的指令码，LogiCORE 数据表中给出每个核的性能。

由于目前的流行趋势是网上选购 IP 产品及单片集成数字系统，这就为 FPGA 的 DSP 应用创造了广阔的应用前景。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 epcity@epcity.com 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10