

I2C 器件接口 IP 核的 CPLD 设计

作者：李明峰 李沁遥

摘要： 根据单片机 I2C 串行扩展的特点，在 EDA 软件 MaxplusII 的环境下，利用 AHDL 语言，建立 IP 核。此设计利用状态机实现，在给出设计的同时详细说明 IP 核的建立过程，并下载到芯片通过硬件试验验证。

关键词： 可编程逻辑器件 I2C 串行扩展 IP 核

由于 CPLD 数字设计结构化的趋势，将出现针对 CPLD 不同层次的 IP(Intellectual Property)核。各个 IP 核可重复利用，可大大提高设计能力和效率。国外各大公司都推出了专门的 IP 核，我国也迫切需要发展自己的 IP 核。本文针对 I2C 的主方式串行扩展通信的特点，详细给出设计过程和结果。

1 IP 核简介

IP 核是指：将一些在数字电路中常用但比较复杂的功能块，如 FIR 滤波器、SDRAM 控制器、PCI 接口等等设计成可修改参数的模块，让其它用户可以直接调用这些模块，以避免重复劳动。随着 CPLD/FPGA 的规模越来越大，设计越来越复杂，使用 IP 核是一个发展趋势。许多公司推荐使用现成的或经过测试的宏功能模块、IP 核，用来增强已有的 HDL 的设计方法。当在进行复杂系统设计的时候，这些宏功能模块、IP 核无疑将大大地减少设计风险及缩短开发周期。使用这些宏功能模块、IP 核，就会将更多的时间和精力放在改善及提高系统级的产品方面，而不需要重新开发现成的宏功能模块、IP 核。我国 IP 核库的建设已相当迫切，它是集成电路产业发展的一个重要目标。

2 I2C 串行通信特点简介

Philips 公司推出的 I2C 软、硬件协议十分巧妙，在单主方式的 I2C 总线系统中，总线上只有一个单片机，其余都是带 I2C 总线的外围器件。由于总线上只有一个单片机成为主节点，单片系统永远占据了总线，不会出现竞争，主节点不必有自己的节点地址。只要每个外围器件有自己的器件地址，两根 I/O 口线 SCL(时钟线)和 SDA(数据线)就可以虚拟 I2C 总线接口。I2C 总线上的数据传送如图 1 所示。总线上传送的每一帧数据均为 1 个字节。启动总线后，要求每传送 1 个字节后，对方回应一个应答位。在发送时，首先发送最高位。每次传送开始有起始信号，结束时有停止信号。在总线传送完 1 个字节后，可以通过对时钟线的控制，使传送暂停，这时可在应答信号后使 SCL 变低电平，控制总线暂停。当主节点要求总线暂停时亦可采用同样的方法。图 1 是 CPLD 向外围 I2C 器件发送 01010011 和 01001001 这两个数据的情况。

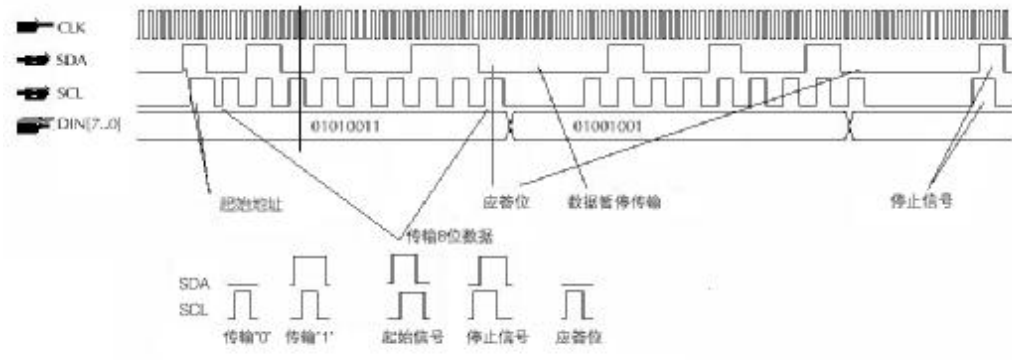


图1 I2C传输原理图

3 在 MaxplusII 环境下 I2C 串行扩展 IP 核的建立

MaxplusII 是美国 Altera 公司用于 CPLD 的 EDA 软件，内部有许多常用的宏单元，如计数器、四则运算、各类逻辑门乃至 ROM、RAM 等。这些宏单元内具体的参数都可以由用户来自行设定，这就是上面提到的 IP 核形式。它避免了重复劳动，提高了效率。以下将要设计的是下位机的 IP 核。

MaxplusII 的 AHDL (Altera Hardware Description Language) 是 Altera 公司开发的完全集成于 MaxplusII 中的一种模块化高级语言，特别适合于描述复杂的组合逻辑、组运算、状态机和真值表。本文利用 AHDL，直接生成 IP 核。

设计的最终目标是生成如图 2 所示的 Symbol。通过输入数据来达到控制 SDA 和 SCL 的目的，将信号按要求的时序传送给 I2C 器件。

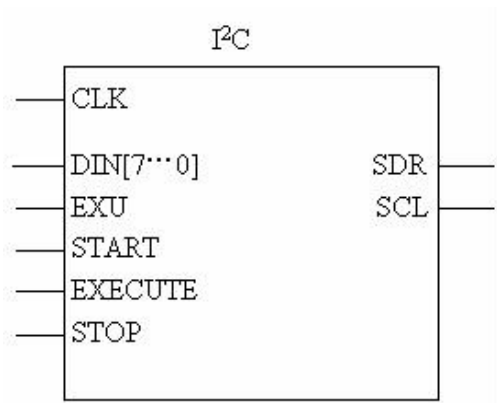


图2 I2C模块封装外观图

设计思路是利用状态机实现时序。主要包括输入数据锁存、起始、数据传输、停止等状态机。通过状态机，在每一状态下确定下一状态 SDA 和 SCL 是高电平或者低电平，通过这种方式实现了 I2C 所需要的每一种时序。由于使用的是 AHDL，这种状态机实现起来非常方便，程序简洁明了。由于篇幅限制，仅介绍数据传输的状态机。状态图如图 3 所示。

以下程序中，Cmd_reg2 为发送允许暂存位；Sh_reg[]为数据锁存，通过左移，最高位数据 Sh_reg7 为当前将发送数据，存入 SDA_tmp 。通过图 3 对照程序，可以看到发送一个利用状态机数据位的详细过程。程序清单如下：

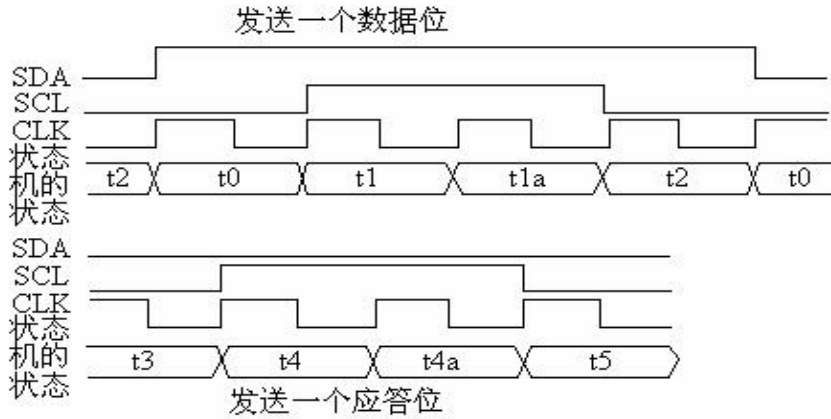


图3 状态机状态图

```

IF Cmd_reg2 THEN --若"发送允许", 则将 Sh_reg7 作为当前发送位
SDA_tmp = Sh_reg7;
ELSE
SDA_tmp = VCC;
END IF;
St.clk = SysClk;
St.ena = BaudGen;
CASE St IS --控制传输 8 位数据的状态机
WHEN t0 =>
IF Cmd_reg2 OR Cmd_reg3 THEN
SDA = SDA_tmp; --开始传送数据
SCL = GND;
St = t1;
ELSE
St = t0;
END IF;
WHEN t1 =>
SCL = VCC;
SDA = SDA_tmp;
St = t1a;
WHEN t1a =>
SCL = VCC;
SDA = SDA_tmp;
St = t2;
WHEN t2 =>
Sh_reg[7..1] = Sh_reg[6..0]; --数据左移, 取高位
Sh_reg[0] = GND;

```

```

Sh_reg[].ena = EXU;
SCL = GND;
SDA = SDA_tmp;
IF Bit[] = 7 THEN --若 8 位传完，则发应答位；否则继续
St = t3;
ELSE
St = t0;
END IF;
WHEN t3 => --发应答位
SDA = GND;
St = t4;
WHEN t4 =>
SDA = GND;
SCL = VCC;
St = t4a;
WHEN t4a =>
SDA = GND;
SCL = VCC;
St = t5;
WHEN t5 =>
SCL = GND;
St = t6;
WHEN t6 =>
SDA = GND;
FINISHED = VCC;
St = t0;
END CASE;
Bit[] = Bit[] + 1; ---传输完一位，已传输位数加一

```

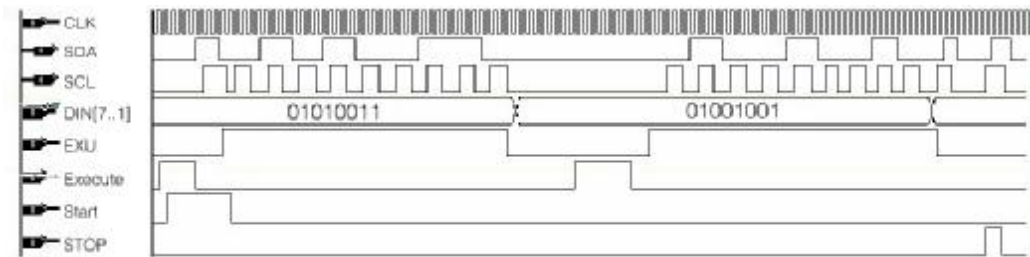


图4 仿真结果

图 4 为仿真结果。起始信号给出以后，传输 2 个 8 位数据：每个数据后跟一个应答位，在输送完第一个数据要求的情况下，暂停一段时间，再输送第二个数据；2 个数据输完以后，主机发出停止输送要求，即给出停止信号。这些信号，在 SDA 和 SCL 上完全符合 I2C 的时序要求。要使总线传输速率达到改进后的规范，即 400 kb/s，因为根据以上叙述，每发送 1 位数据需要 4 个时钟周期，所以所给的时钟为 1600 kHz。图 4 中 Execute 为执行信号，即它为高电平时，输入

数据 DIN[7..0]有效; EXU 为发送使能信号, 只有当它为高电平时, 方可输送串行数据到外围器件; Start 为开始控制信号, 用于发生起始信号; STOP 用于告知总线数据传输结束, 发生停止信号。

仿真以后, 通过编程电缆将生成的 pof 文件用 ISP(在系统编程)方式下载到 FPGA 板 EPM7128SLC84-6, I/O 口 SDA 和 SCL 挂上拉电阻, 外接两片 I2C 器件 SAA1064(LED 显示 I2C 串入并出芯片)进行测试, 结果 CPLD 利用该 I2C 的 IP 核, 工作正常, 可以按照要求显示。

参考文献

- 1 Altera. ALTERA DIGITAL LIBRARY 2000
- 2 何立民. 单片机高级教程. 北京: 北京航空航天大学出版社, 2000
- 3 赵曙光. 可编程逻辑器件原理、开发与应用. 西安电子科技大学出版社, 2000
- 4 SAA1064 Product Specification Philips.

本文内容来自互联网, 著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件, 仅供个人学习之用, 不得用于任何商业目的, 否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利, 请来信 epcity@epcity.com 通知, 本站立即删除。

搜集整理: 电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10