

# IIC 总线通讯接口器件的 CPLD 实现

作者：张冬冬

**摘要：**介绍了采用 ALTERA 公司的可编程器件 EPF10K10LC84-3 实现 IIC 总线的通讯接口的基本原理，并给出了部分的 VHDL 语言描述。该通讯接口与专用的接口芯片相比，具有使用灵活、系统配置方便的特点。

**关键词：**IIC 总线 CPLD VHDL ISP

IIC 总线是 PHILIPS 公司开发的一种简单、双向、二线制、同步串行总线。它只需两根线（串行时钟线和串行数据线）即可在连接于总线上的器件之间传送信息。该总线是高性能串行总线，具备多主机系统所需要的裁决和高速设备同步等功能，应用极为广泛。

目前市场上虽然有专用 IIC 总线接口芯片，但是地址可选范围小、性能指标固定、功能单一、使用不方便。根据 IIC 总线的电气特性及其通讯协议，采用 ALTERA 公司的 FLEX10K 系列 ISP 器件 EPF10K10LC84-3 可以方便地实现 IIC 总线的通讯接口，且具有高速、易调试、可以灵活地实现地在线配置等优点，同时大大地减少了系统的开发周期。

## 1 IIC 总线的数据传输规范

IIC 总线主从机之间的一次数据传送称为一帧，由启动信号、地址码、若干数据字节、应答位以及停止信号等组成。通讯启动时，主动发送一个启动信号（当 SCL 线上是高电平时，SDA 线上产生一个下降沿）、从机的地址码（8 位）和读写信号；通讯停止时，主机发送一个停止信号（当 SCL 线上是高电平时，SDA 线上产生一个上升沿）。在数据传送过程中，当 SCL 线上是高电平时，必须保证 SDA 线上的数据稳定；传送一个字节的的数据，必须由接收机发一个应答信号。总线的传输码速率为 100kbps（标准）~400kbps（高速）。采用+5V 电源供电时，输入电平规定为： $V_{ILmax}=1.5V$ ， $V_{IHmin}=3V$ ；采用宽电源电压时，电平规定为： $V_{ILmax}=1.5V_{DD}$ ， $V_{IHmin}=3V_{DD}$ 。

IIC 总线的通讯过程如图 1 所示。



图 1 IIC 总线的通讯过程

## 2 ISP 的逻辑实现

基于 IIC 总线的数据传输规范，为完成 IIC 总线的数据发送与接收，采用 ISP 器件实现通讯接口的逻辑功能框图如图 2 所示。通过频选、控制、可控时钟可获得 100kHz、200kHz、300kHz、400kHz 的时钟频率。器件退出总线竞争后，时钟线置高电平。

### 2.1 通讯的启动与停止

在主机方式下，接收数据时，ISP 器件必须通过启动信号生成器送出一个启动信号，然后发送从机的地址信号和读写信号。只有这样，才能在总线上发送数据。该过程由控制寄存器启动。VHDL 描述如下：

```
PROCESS (WR, CS)
```

```
——WR IS CPU WRITE SIGNAL
```

```
——CS IS THIS CHIP'S SELECT SIGNAL ADDRS: ='0';
```

```
IF (Ctrreg(0)='1'AND Ctrreg(3)='1' AND SCL1='1') THEN
```

```
——Ctrreg 为控制寄存器
```

```
CLK1COUNT: ='0';
```

```
SDA1: ='1';
```

```
IF (CLK1 EVENT AND CLK='0') THEN
```

```
IF (CLK1COUNT='3') THEN
```

```
SDA1:='1';
```

```
ADDRS:='1';
```

```
Ctrreg(3):='0';
```

```
CSTA:='1';
```

```
ELSE
```

```
CLK1COUNT:=CLK1COUNT+1;
```

```
END IF;
```

```
END IF;
```

```
END IF;
```

```
IF (ADDRS='1'AND SCL1 'EVENT AND SCL1='1') THEN
```

```
..... ——将数据寄存器中的数据
```

```
..... ——及 WR 信号移位发出 (略)
```

```
END IF;
```

```
END PROCESS;
```

当一次通讯结束时，主机要发送停止信号。该过程同样同控制寄存器控制；当控制字第二位为'1'时，ISP 器件产生停止信号。VHDL 描述与启动类似。

## 2.2 发送数据

在主机方式下，完成启动和地址信号发送后即开始发送数据。发送数据时串并转换器在 SCL 的下降沿移位，保证 SCL 高电平时 SDA 上的数据稳定。发送的进程由 WR 信号和从机的应答信号启动。

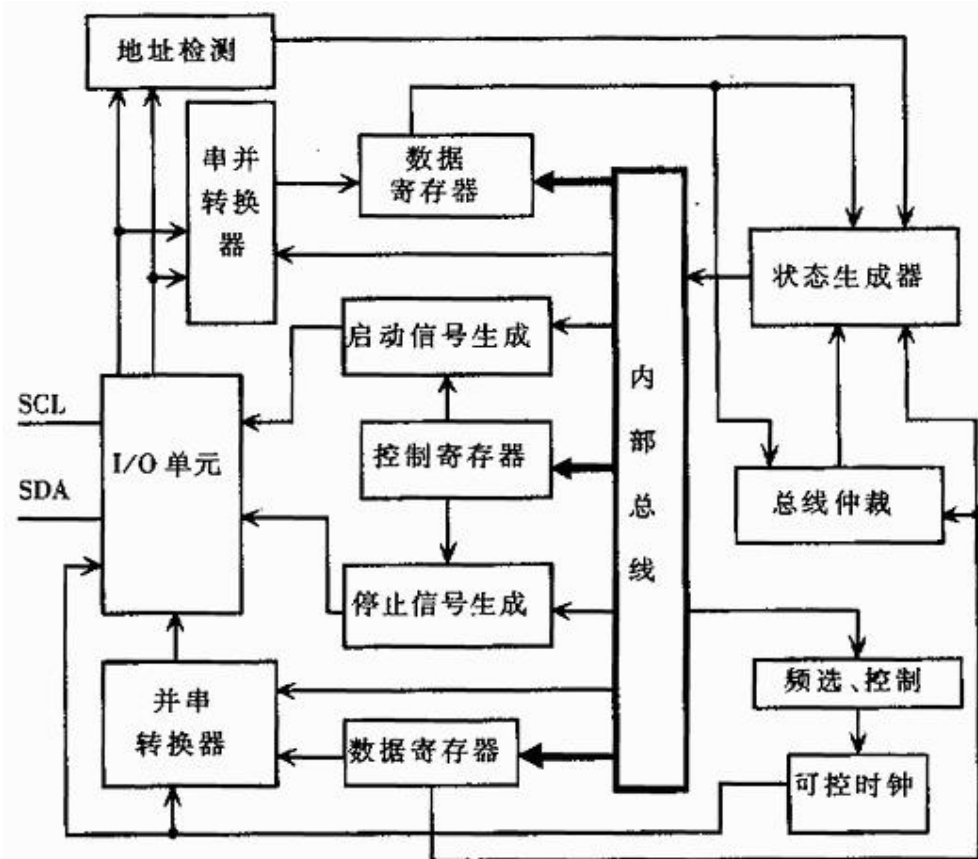


图 2 采用 ISP 器件的逻辑功能框图

当 ISP 器件在总线竞争失败时，由处理器将 ISP 器件转为从机工作方式，处理器向地址检测电路送该器件在系统中的地址。只有在接收到的地址信息与该器件所设的地址相同时，才发出应答信号，开始通讯。每发送一个字节即将 SDA 拉高，等待接收机的应答信号，准备下一个数据。

## 2.3 接收数据

在主机方式下，完成通讯启动和地址信号发送后便开始准备接收数据。每接收一个字节后要发出应答信号，产生一个负脉冲作为中断请求信号输出给处理器。若此时系统忙，则拉低 SCL 电平迫使发送机进入等待状态。从机方式下的接收与主机方式下一样。VHDL 描述如下：

```
PROCESS (SDA1)
```

```
SACK: ='0';

FULL1: ='0';

STP: ='0';

INTQ: ='1';

IF (CSTA='1' AND ADDOK='1') THEN

IF (SCL'1'EVENT AND SCL1='0') THEN

……——接收数据，串入并出移位（略）

FULL1: ='1';

END IF;

END IF;

IF (FULL1='1') THEN

IF (RD'EVENT AND RD='1'AND

SCL1'EVENT AND SCL1='0 AND

BUSY='0') THEN

SDA1: ='0';

FULL: ='0';

INTQ: ='0';

ELSE

SDA1: ='1';

IF (CLK1'EVENT AND CLK='0' AND FULL1='0') THEN

IF (CLK1COUNT'20') THEN

INTQ: ='1';

CLK1COUNT:='0';

ELSE
```

```

CLK1COUNT: =CLK1COUNT+1;

END IF;

END IF;

IF (SLAVE='1' AND SCL='1' AND SDA 'EVENT AND SDA='1') THEN

STP: ='1';

CSTA: ='0';

END IF;

END IF;

END PROCESS;

```

## 2.4 总线仲裁

在通讯过程中，ISP 器件在发送数据的同时接收总线上的数据，将该数据与已送的数据进行比较，若不相同则置位状态发生器的 SLAVE，表示该主机退出竞争。通过处理给控制寄存器发送控制字可以让 ISP 器件转入从机工作方式。这时启动地址检测，禁止 SCL 的发送。在一次通讯结束后，将状态生成器的 END 置位，此时处理器可以再次将 ISP 器件设置为主机方式。

## 2.5 控制寄存器与状态生成器

控制寄存器主要是定义 ISP 器件的工作状态，其各位的定义为：

BUSY		CLKEN	CLKS2	CLKS1	STA	STP	M/S
------	--	-------	-------	-------	-----	-----	-----

BUSY: 若该位为 '1'，主机作为接收机时，不发应答信号；

STA: 启动信号位；

STP: 停止信号位；

M/S: 主从机位，用于选择芯片工作状态（主机还是从机）；

CLKS1、CLKS2: 频选控制位；

CLKEN: SCL 使能位，该位为 1 时 SCL 置高电平。

状态生成器可以生成工作状态信号（中断、IIC 总线竞争、从机方式时通讯开始与结束）供处理器查询处理。

### 3 参数配置

该器件可以配置为从 100kbps（标准）到 400kbps（高速）的任何传送速度，以满足不同的需要。只需在 VHDL（描述的结构体中指明配置的参数即可实现配置，非常方便。

本设计只使用一片可编程芯片即可完成 IIC 总线接口的芯片功能。由于采用 VHDL-93 语言进行设计，具有良好的可移植性，可用于其它 ISP 厂家的产品中。通过 ByteBlast 下载线可以在线改变其功能，体现了 ISP 器件的优越性。

本文内容来自互联网，著作权归原作者所有。由电子零件城（<http://www.epcity.com/>）整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 [epcity@epcity.com](mailto:epcity@epcity.com) 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔（QQ：154502842） 2004-04-10