

MAX+PLUS II 快速入门

MAX+PLUS II 是 Altera 公司的全集成化可编程逻辑设计环境。

它的界面友好，在线帮助完备，初学者也可以很快学习掌握。完成高性能的设计。另外，在进行原理图输入时，可以直接放置 74 系列逻辑芯片，所以对于普通爱好者来说，即使不使用 Altera 的可编程器件，也可以把 MAX+PLUS II 作为逻辑仿真工具，不用搭建硬件电路，即可对自己的设计进行调试，验证。下面以具体实例介绍 MAX+PLUS II V9.30 的使用，希望初学者能快速入门。

功能

- MAX+PLUS II 的编译核心支持 Altera 的 FLEX 10K、FLEX 8K、MAX9000、MAX7000、FLASHlogic、MAX5000、Classic 系列可编程逻辑器件；
- MAX+PLUS II 的设计输入、处理与校验功能一起提供了全集成化的一套可编程逻辑开发工具，可加快动态调试，缩短开发周期；
- MAX+PLUS II 支持各种 HDL 设计输入，包括 VHDL、Verilog 和 Altera 的 AHDL；
- MAX+PLUS II 可与其他工业标准设计输入、综合与校验工具链接。与 CAE 工具的接口符合 EDIF200 和 209、参数化模块库（LPM）、Verilog、VHDL 及其它标准。设计者可使用 Altera 或标准 CAE 设计输入工具去建立逻辑设计，使用 MAX+PLUS II 编译器对 Altera 器件设计进行编译，并使用 Altera 或其它 CAE 校验工具进行器件或板级仿真。MAX+PLUS II 支持与 Synopsys、Viewlogic、Mentor Graphics、Cadence、Exemplar、Data I/O、Intergraph、Minc、OrCAD 等公司提供的工具接口；

安装

本站提供 MAX+PLUS II V9.30 功能完全版，支持 MAX+PLUS II 全部功能，包括原理图输入、VHDL/AHDL 输入、编译、仿真、定时分析、编程。为方便下载，这一版本仅提供对 EPM7000/EPM7000S/EPM7000A 的支持。

安装很简单，只需将文件解开放在 c:\maxplus2\ 目录。

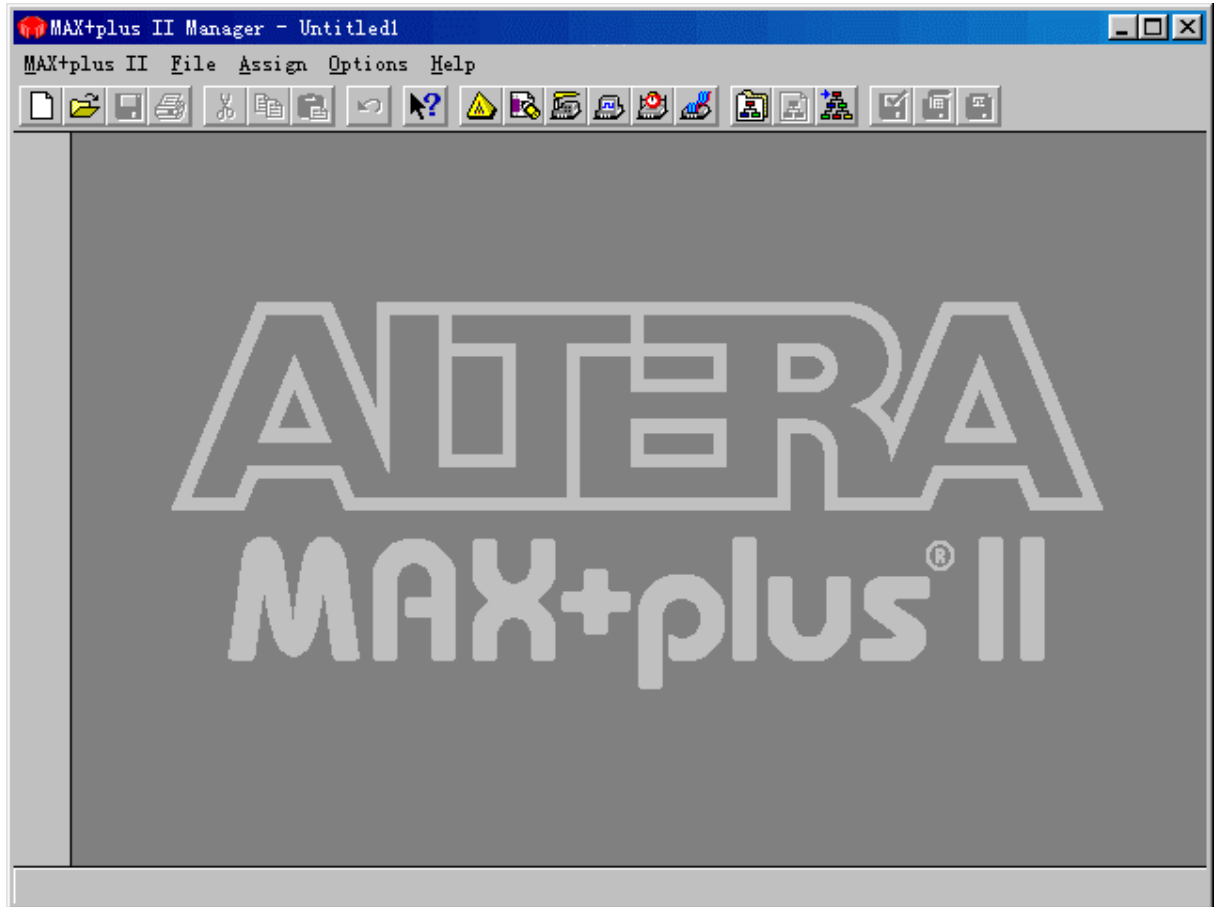
使用

使用 MAX+PLUS II 进行设计包括四个阶段：设计输入、设计处理、设计验证和器件编程。

下面以一个最简单的例子，用 ALTERA 的 EPLD——EPM7128S 实现二分频器，来示范用 MAX+PLUS II 进行开发的全过程。

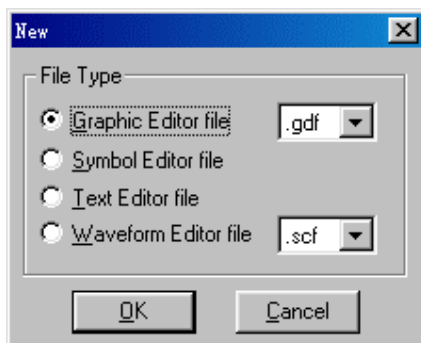
首先启动 MAX+PLUS II，进入集成开发环境

运行：maxstart.exe



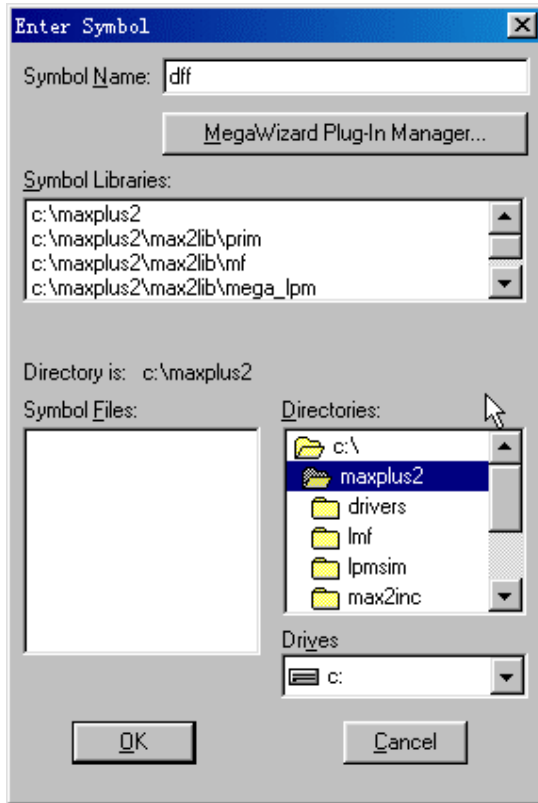
设计输入

建立一个新设计输入文件，这里我们采用原理图方式 Graphic Editor file (*.gdf)来进行设计输入，这是最方便，最直观的逻辑输入方法

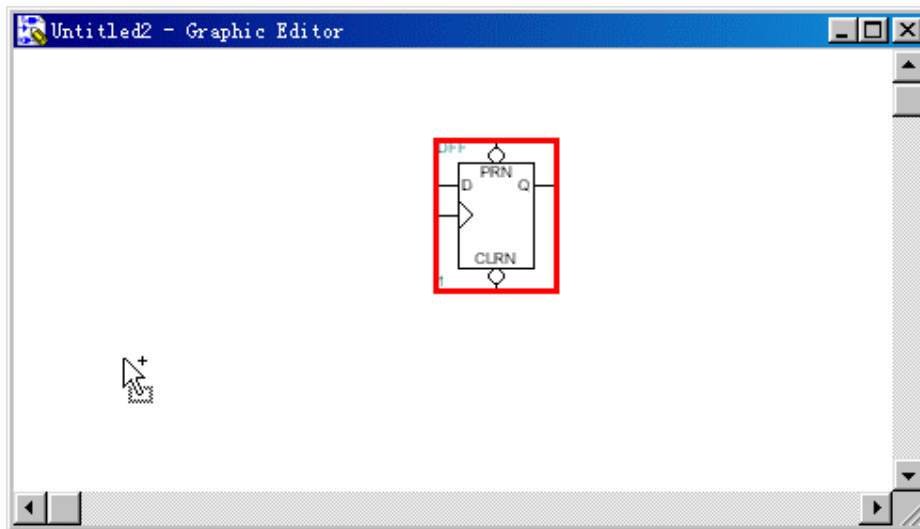


选择“OK”进入编辑状态

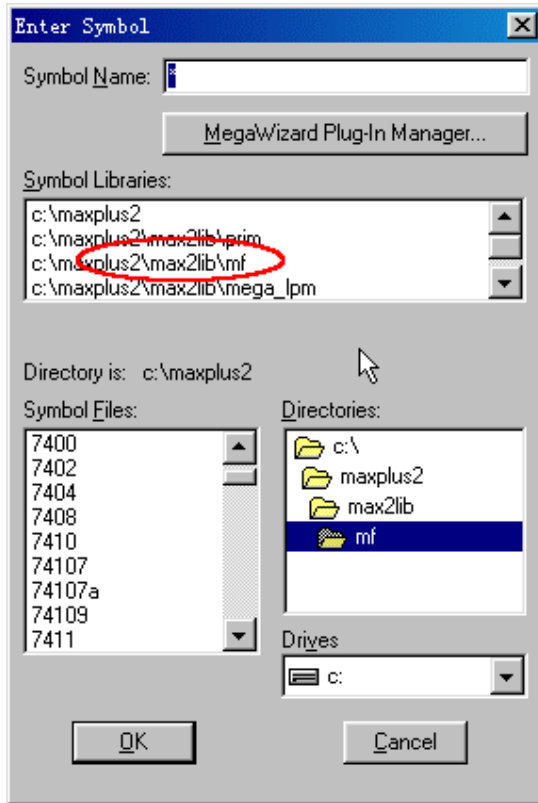
接着输入逻辑元件，在编辑区的空白处双击鼠标。在 Symbol Name 栏输入 dff，表示 D 触发器



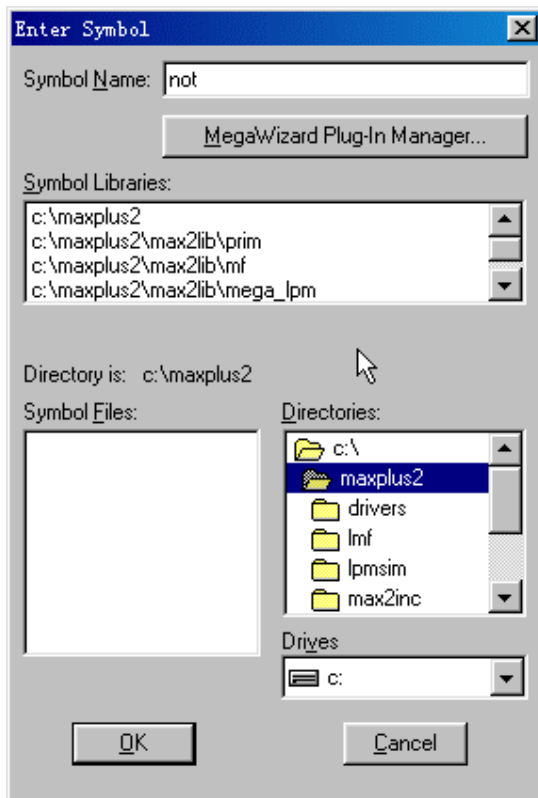
选择“OK”，D 触发器就被放在编辑区



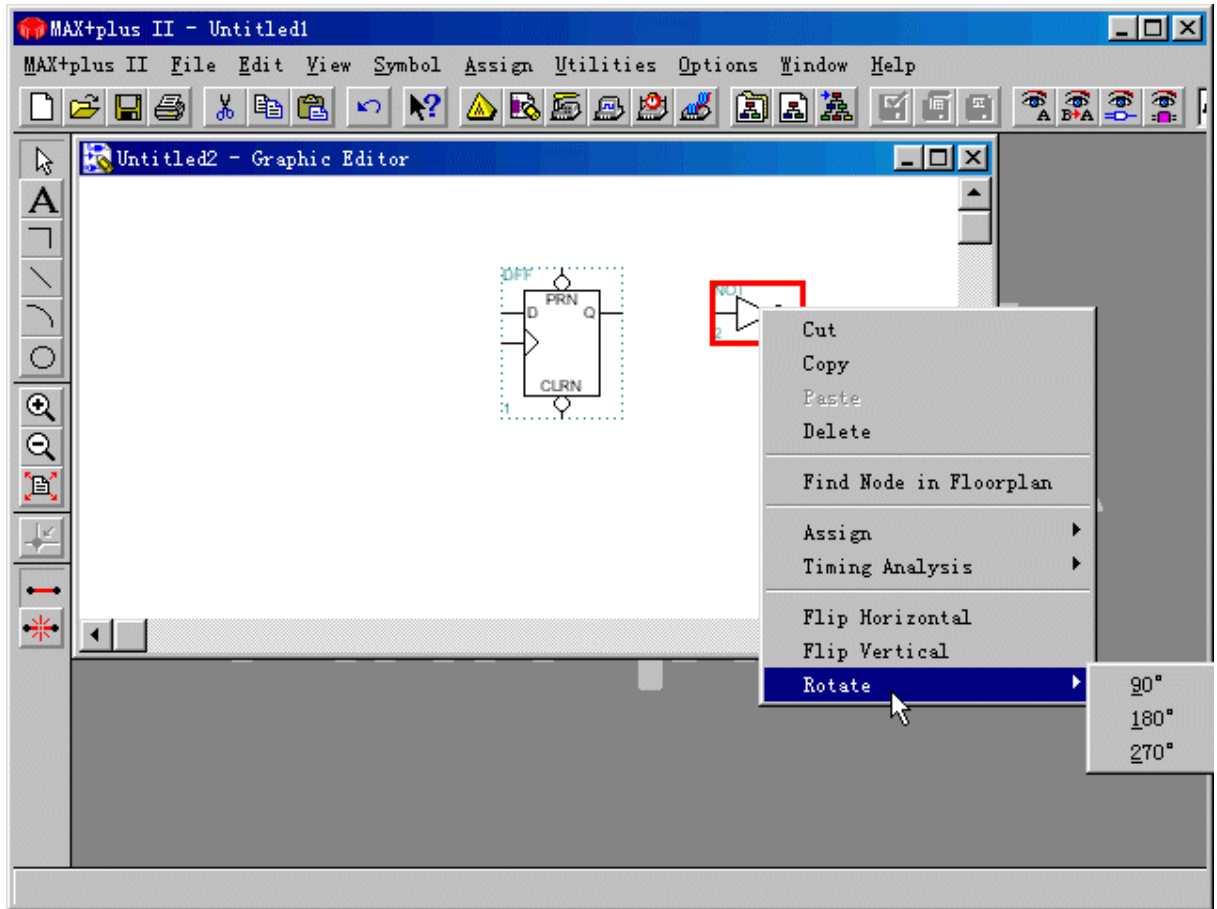
放置器件时，在 Symbol Libraries 框中选择 mf 库，就可以选择常用的 74 系列逻辑芯片



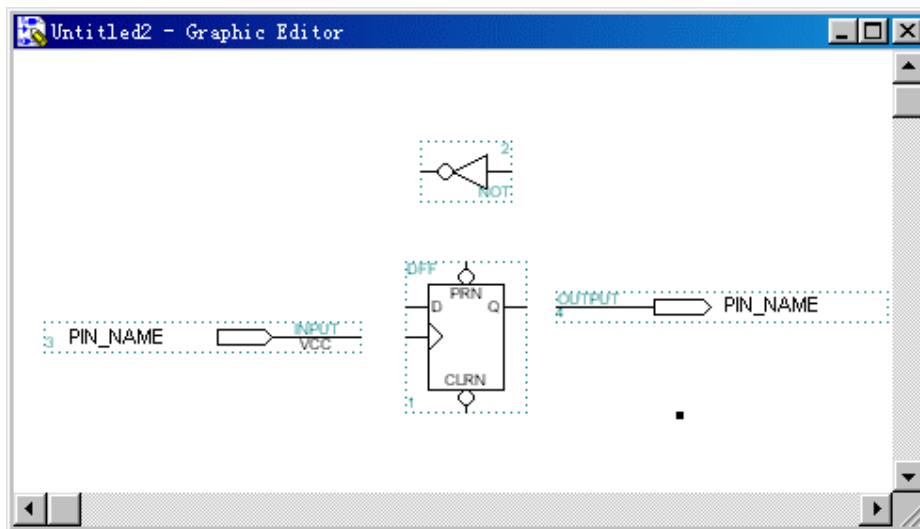
下面再放一个反相器，输入名称：not



在反相器上按鼠标右键，将反相器旋转 180 度

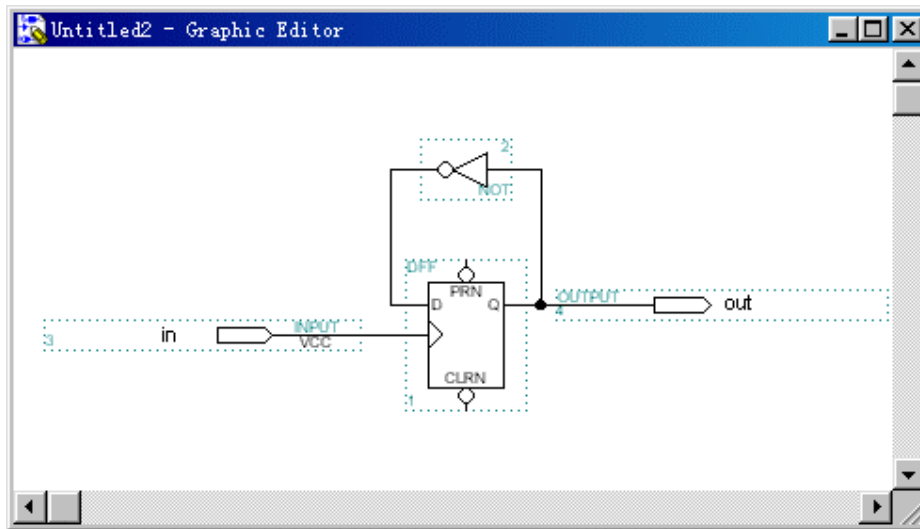


下面放置 I/O 脚，输入脚: input, 输出脚: output



在 PIN_NAME 上双击，编辑管脚名为 in、out

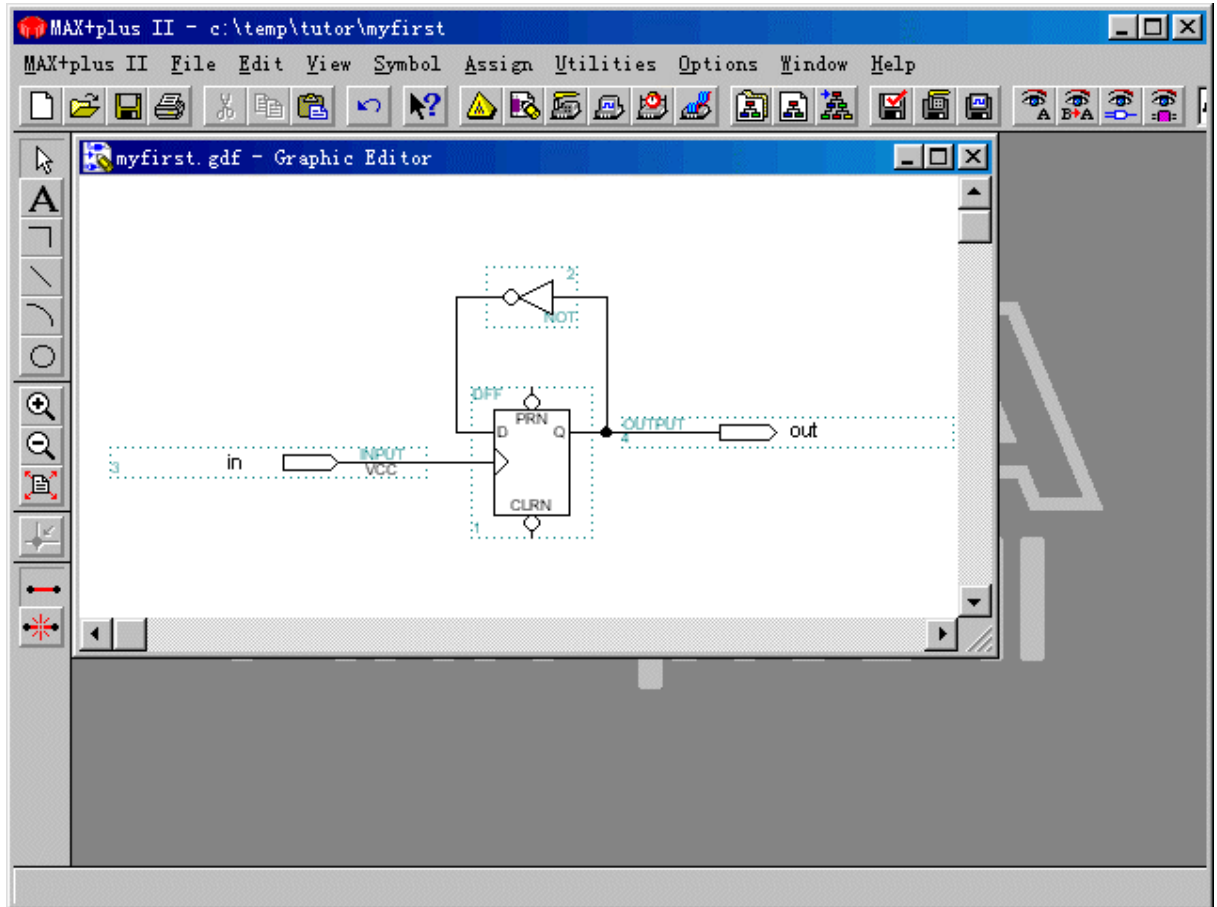
鼠标移动到器件的端上就变为小十字，拖动即可画线，如图连接



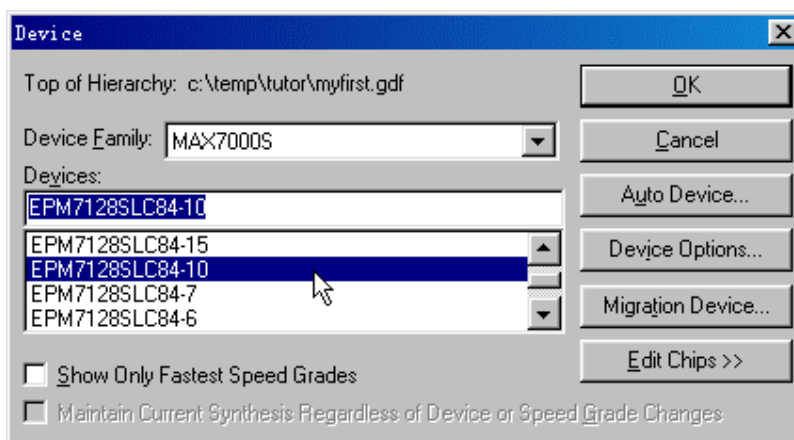
好了，设计输入告一段落，将设计文件存盘，命名为 myfirst.gdf

编译

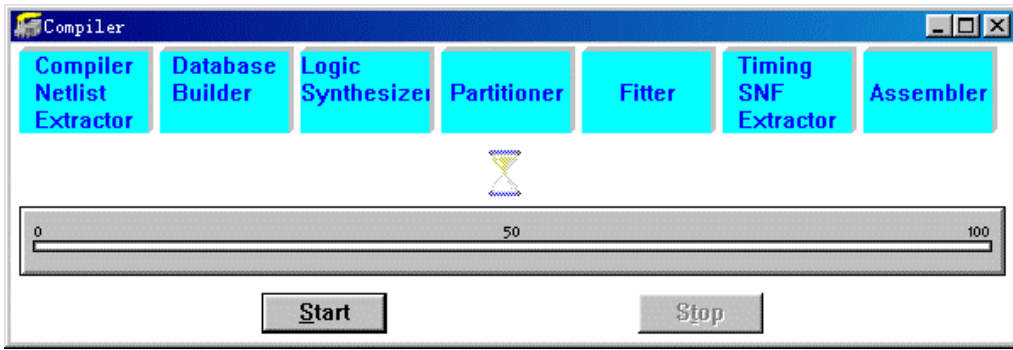
上面已经完成了原理图的输入，需要给设计指定一个工程名，选择 File->Project->Set Project to Current File，将当前工程名设为当前文件名



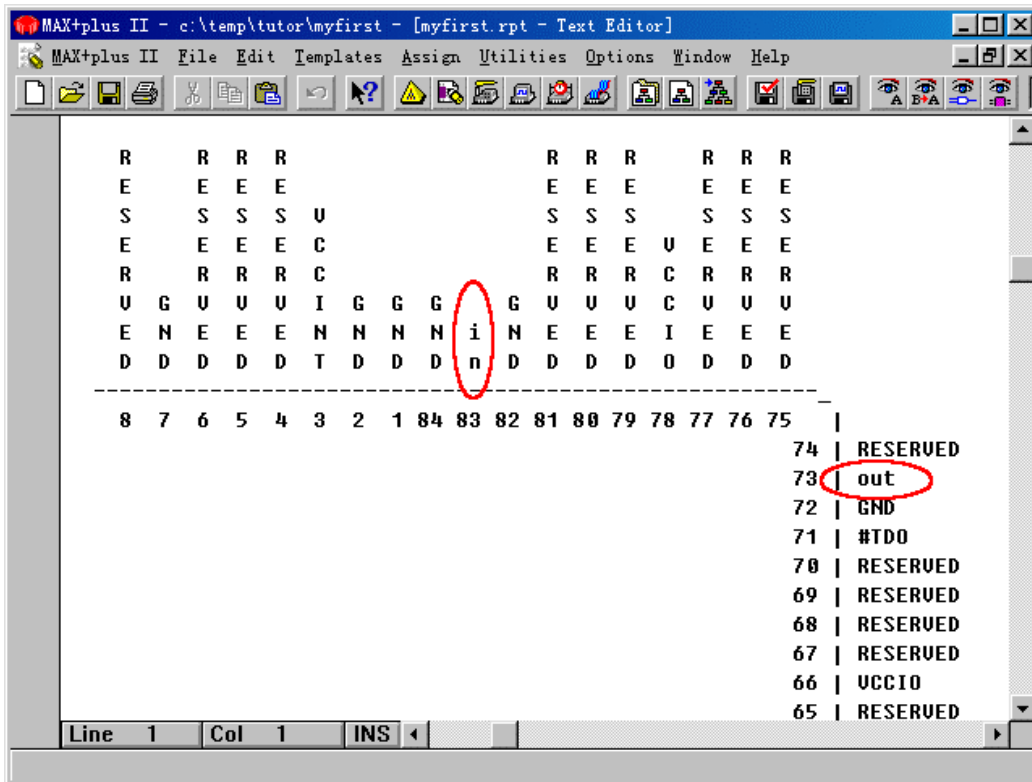
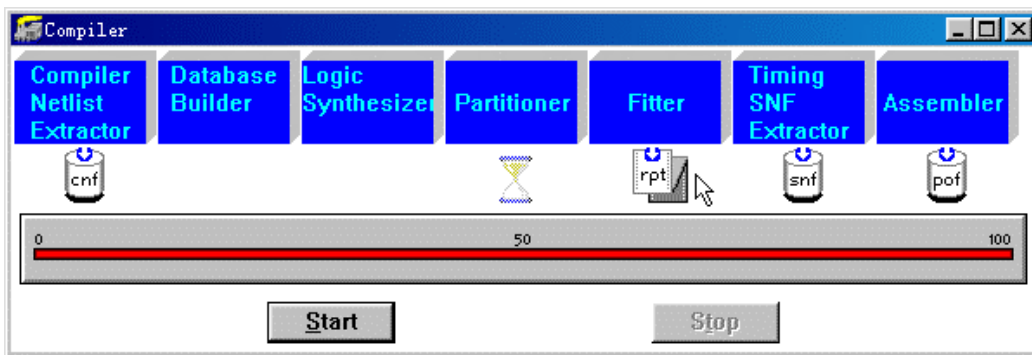
下面定义器件，即定义用哪种 EPLD 来实现设计，选择 Assign->Device，在弹出窗口中选择 MAX7000 系列的 EPM7128SLC84-10，确认



准备开始编译，选择 MAX+plus II->Compiler，弹出编译窗口，按 Start 开始编译

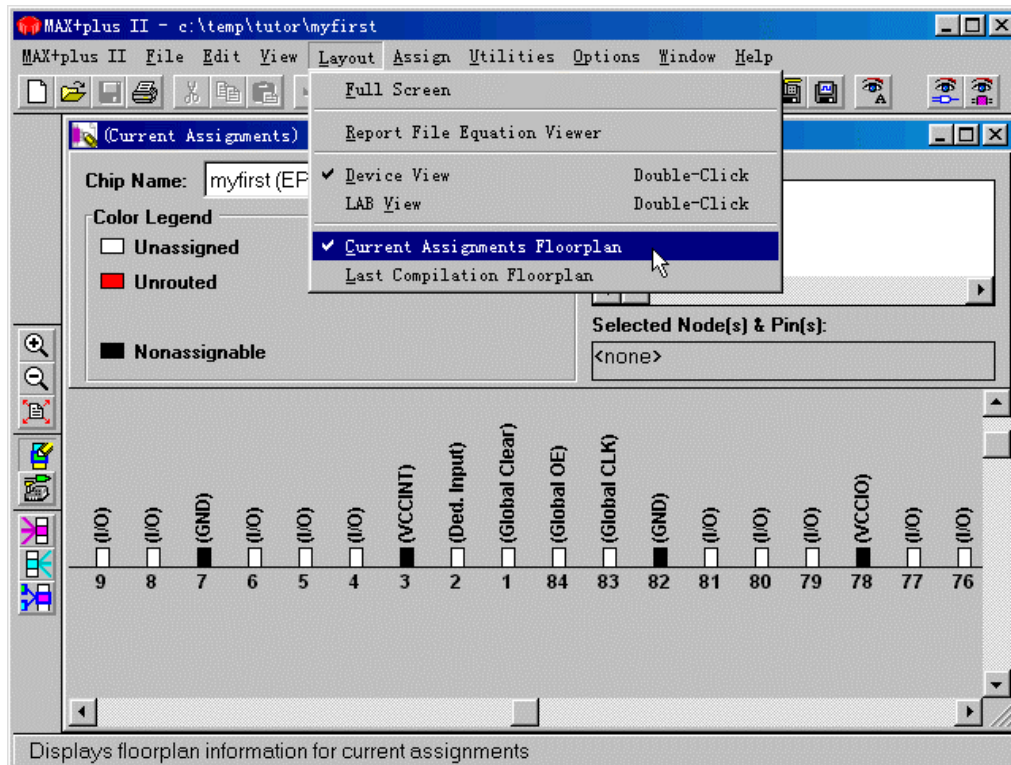


编译结束之后，在编译窗口中的 rpt 图标上双击，可打开编译报告文件，其中有便宜后的管脚分配图，可看到我们定义的管脚 in 和 out

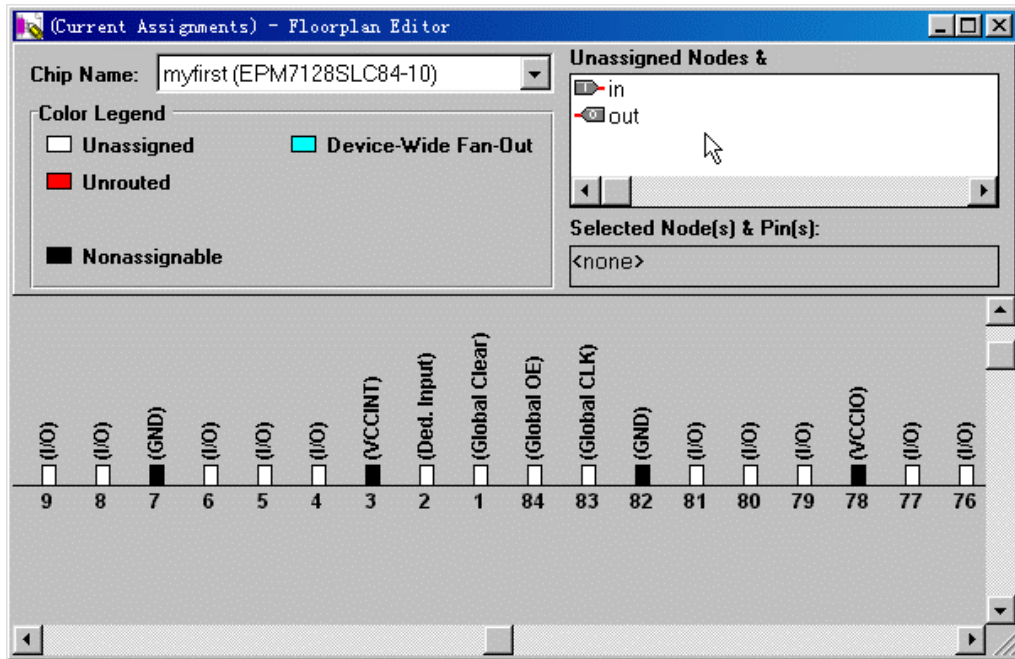


分配 I/O 脚

上面 MAX+PLUS II 完成了编译，把我们定义的 I/O 脚自动分配给了器件 EPM7128SLC84，也许你对 MAX+PLUS II 自动分配的管脚不满意，没关系，自己定义，选择 MAX+plus II->Floorplan Editor，进入底层编辑工具，再选择 Layout->Device View 和 Layout->Current Assignments Floorplan，显示当前的管脚分配情况

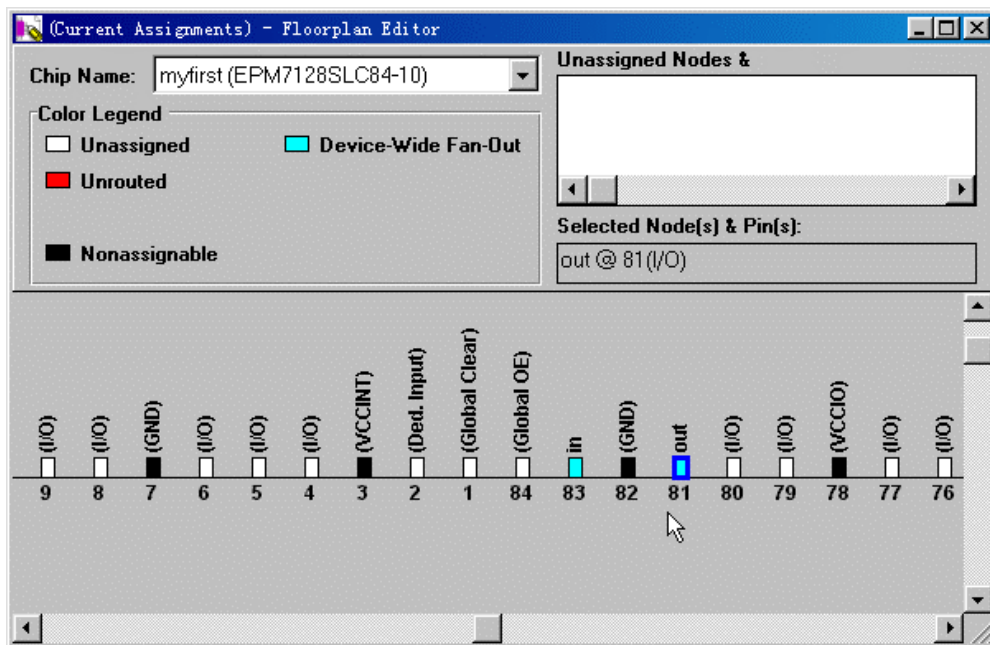


可看到 EPLD 的底层图，右上角为 Unassigned Nodes & Pins

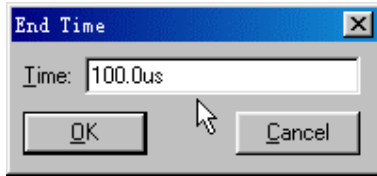


你可以直接将 Unassigned Nodes & Pins 中的管脚拖到合适的地方

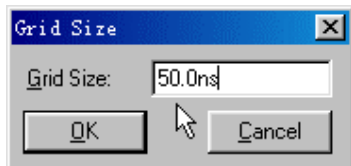
编辑后结果如下



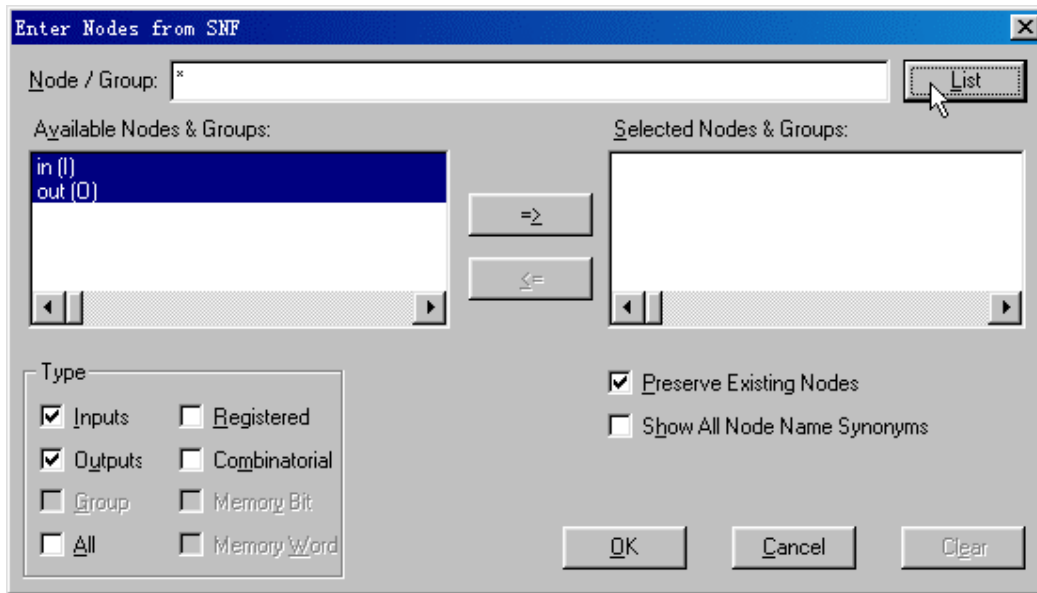
然后需要按前面所述将工程重新编译一遍，在 rpt 报告文件里可以看到新定义的管脚分配图



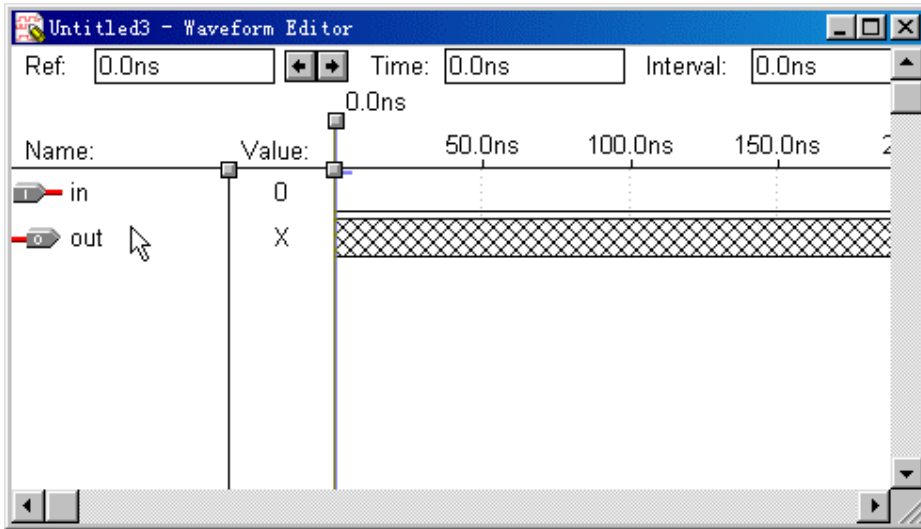
还需要确定仿真的最小时间单位，选择 Option->Grid Size，输入 50ns，确定



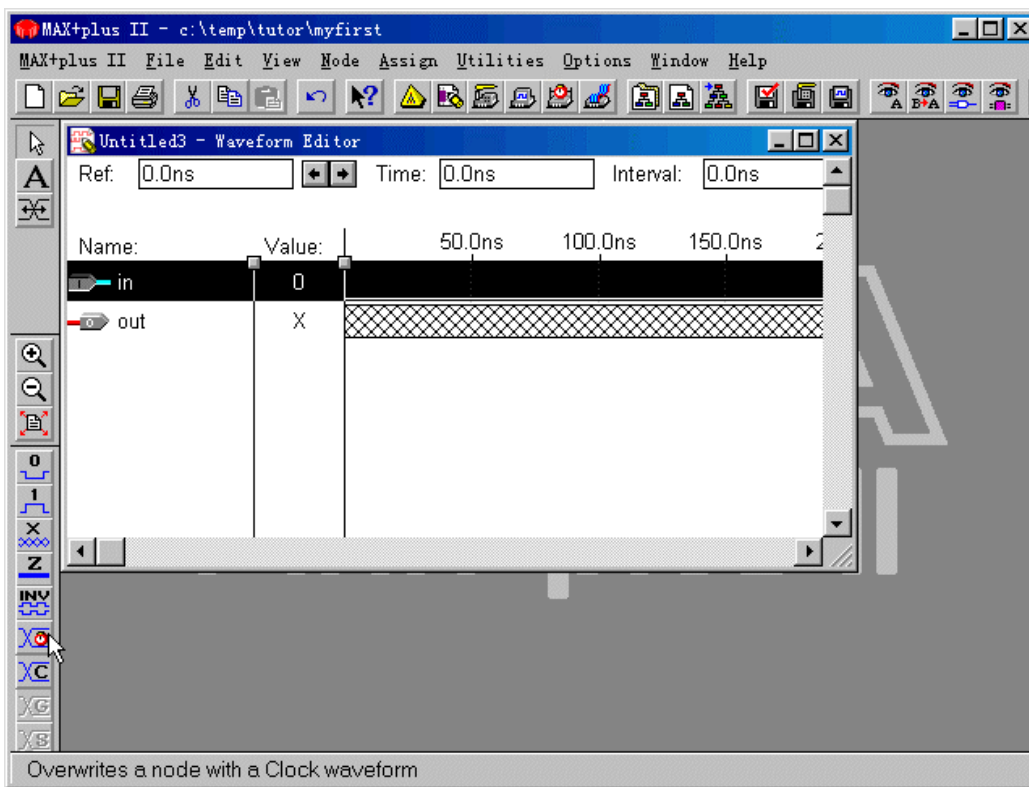
下面开始输入要仿真的信号名称，选择 Node->Enter Node From SNF，在弹出的对话框中按 List 按钮，可以看到我们前面定义的 I/O: in、out



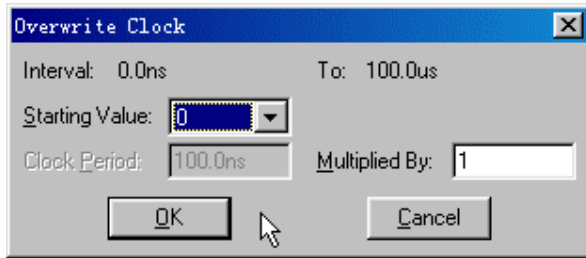
按=>选择要增加的 Nodes，把 in、out 都加入，确定，in、out 出现在 Wave Editor 中



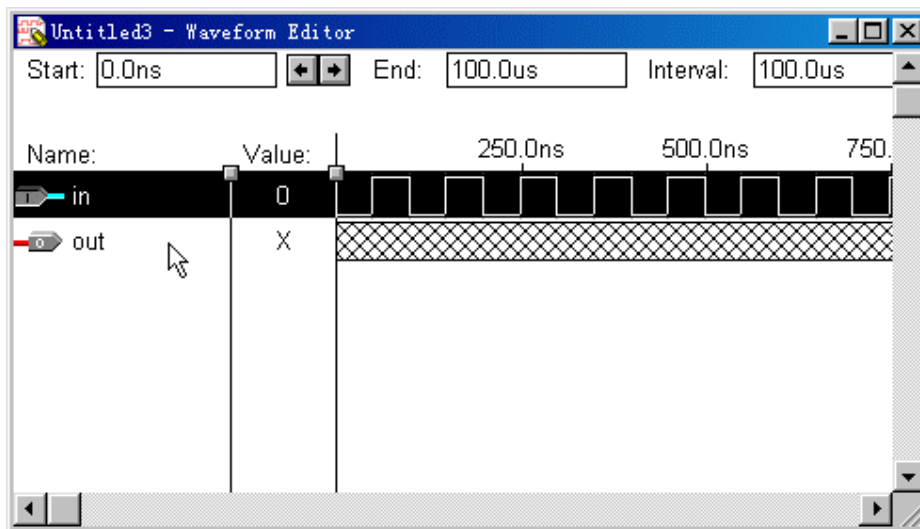
按 in 的图标，选中信号 in，在左侧的工具按钮上选择时钟工具



在弹出的对话框中按确认

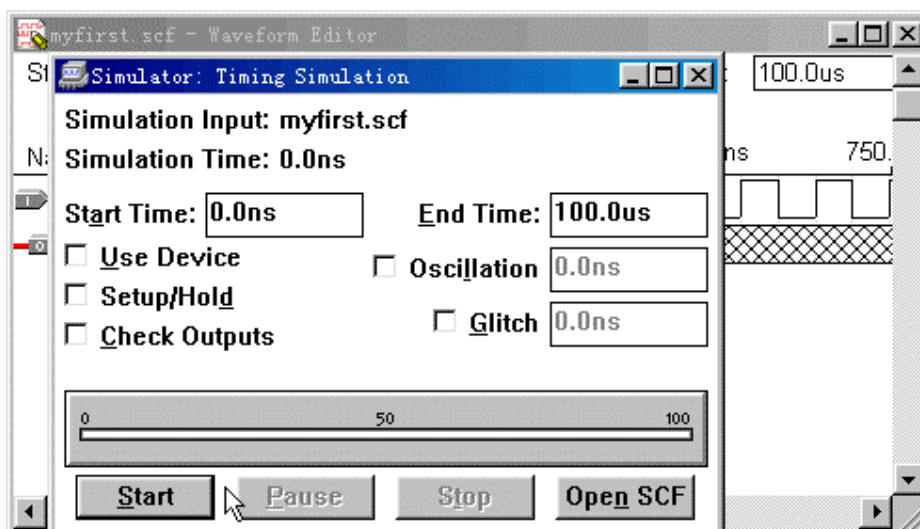


用左侧工具调整显示比例，得到以下波形

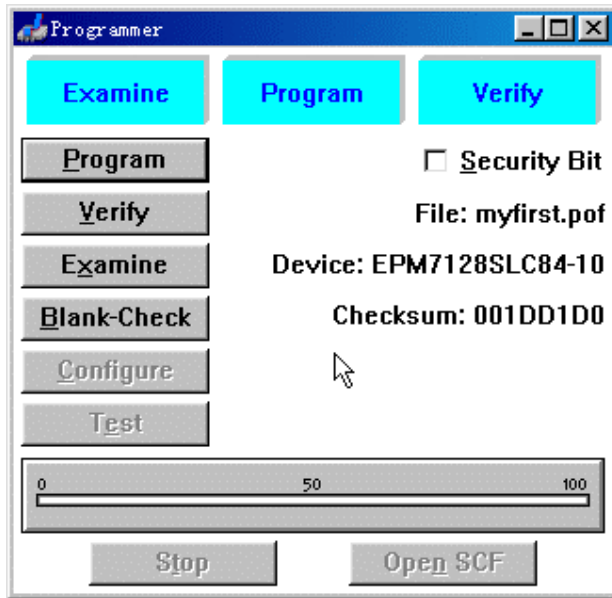


这就在 in 脚上加入了一个周期是 100ns 的信号

将波形文件存盘为 myfirst.scf，选择 MAX+plus II->Simulator 调入仿真器



直接按 Start 启动仿真，仿真结束后按 Open SCF，可以看到仿真结果



这时，确认硬件正确连接，目标板电源打开，按下 Program 即可开始对目标板上的 EPLD 进行编程了。

本文内容来自互联网，著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利，请来信 epcity@epcity.com 通知，本站立即删除。

搜集整理：电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10