

Max+plusII 介绍

Max+plusII(或写成Maxplus2,或MP2) 是Altera公司推出的第三代PLD开发系统(Altera第四代PLD开发系统被称为: Quartus, 主要用于设计6万-100万门的大规模CPLD/FPGA).使用MAX+PLUSII的设计者不需精通器件内部的复杂结构。设计者可以用自己熟悉的设计工具(如原理图输入或硬件描述语言)建立设计, MAX+PLUSII把这些设计转自动换成最终所需的格式。其设计速度非常快。对于一般几千门的电路设计, 使用MAX+PLUSII, 从设计输入到器件编程完毕, 用户拿到设计好的逻辑电路, 大约只需几小时。设计处理一般在数分钟内完成。特别是在原理图输入等方面, Maxplus2被公认为是最易使用, 人机界面最友善的PLD开发软件, 特别适合初学者使用。

在这里我们可以先看一看用FPGA/CPLD开发工具进行电路设计的一般流程。通常可将FPGA/CPLD设计流程归纳为以下7个步骤, 这与ASIC设计有相似之处。

1. 设计输入。在传统设计中, 设计人员是应用传统的原理图输入方法来开始设计的。自90年代初, Verilog、VHDL、AHDL等硬件描述语言的输入方法在大规模设计中得到了广泛应用。
2. 前仿真(功能仿真)。设计的电路必须在布局布线前验证电路功能是否有效。(ASIC设计中, 这一步骤称为第一次Sign-off) PLD设计中, 有时跳过这一步。
3. 设计编译。设计输入之后就有一个从高层次系统行为设计向门级逻辑电路设转化翻译过程, 即把设计输入的某种或某几种数据格式(网表)转化为软件可识别的某种数据格式(网表)。
4. 优化。对于上述综合生成的网表, 根据布尔方程功能等效的原则, 用更小更快的综合结果代替一些复杂的单元, 并与指定的库映射生成新的网表, 这是减小电路规模的一条必由之路。
5. 布局布线。在PLD设计中, 3-5步可以用PLD厂家提供的开发软件(如Maxplus2)自动一次完成。
6. 后仿真(时序仿真)需要利用在布局布线中获得的精确参数再次验证电路的时序。(ASIC设计中, 这一步骤称为第二次Sign-off)。
7. 生产。布线和后仿真完成之后, 就可以开始ASIC或PLD芯片的投产。

同样, 使用Maxplus2基本上也是有以上几个步骤, 但可简化为:

1. 设计输入
2. 设计编译
3. 设计仿真
4. 下载

想学习Maxplus2的朋友, 可以到[培训中心](#)下载入门教程, 想获得MaxplusII软件的朋友可以到[这里](#)填一张表, 可有机会获得一张由Altera香港寄出的光盘, 包括数据手册和MaxplusII免费软件。我听不少人说, 填表的效果还算好, 大部分可以收到光盘。

光盘上有 MaxplusII 的试用版或叫基本版——Baseline10.1, 用硬盘号或网卡号, 在 <http://www.altera.com/> 上申请 license, 可试用 6 个月, 支持 30,000 门以下所有设计, 支持原理图, AHDL 语言和波形输入, 支持波形仿真, 时间分析, 编程下载, 是一个功能相当强大的免费软件。比较适合于中小规模 PLD 设计。

这套软件的试用版还可以从[代理商](#)处索取, 如果您的上网速度较快, 可以使用网络蚂蚁, 网络吸血鬼等下载工具, 直接从 www.altera.com/support/software/sof-download_center.html 上下载 MaxplusII 的 Baseline 或 E+MAX 软件, E+MAX 是专门用于开发 MAX 系列 PLD 的免费软件, 约 20M, 和 Baseline 功能基本相同, Baseline 约 40M, E+MAX 软件是 Baseline 的子集, 支持不复杂的 VHDL 设计)

使用 VHDL 或 VerilogHDL 的朋友, 也可以在 www.altera.com/support/software/sof-download_center.html 上下载第三方的 HDL 综合工具并申请 License 文件。这样你就可以拥有一个世界一流可编程逻辑器件的开发平台。再自己做一个或买一个下载电缆, 就可以开发你自己的 ASIC 了。

本文内容来自互联网, 著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件, 仅供个人学习之用, 不得用于任何商业目的, 否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利, 请来信 epcity@epcity.com 通知, 本站立即删除。

搜集整理: 电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10