

## PC 机与 CPLD 通信问题的研究

**摘要:** 根据 PC 机作上位机和下位机的 CPLD 串行通信的特点, 简介上位机 VB 程序的编写; 详述在 EDA 软件 MAXPLUSII 的环境下, 利用 AHDL 语言, 编写下位机程序。此设计具有波特率高、传输准确等优点, 并下载到芯片通过硬件试验验证。

**关键词:** 串行通信 可编程逻辑器件 VB 语言

### 引言

用 CPLD (复杂可编程逻辑器件) 设计乃至仿真、验证、利用 ISP (在系统可编程) 对硬件调试都非常方便, 所以开发周期很短, 且 I/O 口随意设定, 故用 CPLD 设计专用芯片是大势所趋。VB 是一种面向对象的高级语言, 应用这的通信控件编写上位机的通信程序十分方便, 过程简单。本文针对 CPLD 和 PC 通信的特点, 各编写了上位机和下位机的程序, 进行相对高速的串行通信。

### 1 上位机和下位机通信特点简介

根据串行通信的协议, 发送串行数据一般是: 1 个起始位、n 个数据位, 1 个或多个停止位。这样, 发送起始位以后表明传输开始。传送与接收的双方设定好同样的传输位数, 直到 n 个数据位送完以后, 送停止位。上位机和下位机的电平标准不同, 它们通过 RS-232 电平标准转换, 在两者之间接入 RS-232 电平转换芯片即可。上位机和下位机的传输是异步传输, 这样就需要有一个参考脉冲代表传输速度即波特率。通信双方取得一样的通信速度 bps, 指的是每一秒钟所传送的位数。现在仪器和工业场合, 一般 9 600 bps 是最常见的速度, 而现在个人计算机 PC 所提供的串行速度可 115 200bps (甚至 921 600 bps)。因为常用的单片机 MCU 的软件是过程语言, 以其作为下位机, 无法提供这么高的波特率, 即使是较低的波特率也可能产生误差。所以在传输距离较近而设备也可提供时, 使用最高的传输速度也可以。CPLD 的软件是非过程语言, 也就是说其逻辑段定义的所有动作是同时进行的而不是串行的, 所以完全可以提供这样的高速下位机 UART (Universal Asynchronous Receiver Transmitter)。

### 2 上位机 VB 程序

上位机软件利用 VB6 编写。微软的 VISUAL BASIC 语言有极其友好的界面, 深受广大编程人员的好评。其可视化特点得到了很好的发挥, 其中的 MSCOMM 控件非常方便编写软件, 将最低层的部分隐蔽, 只要了解自己需要的参数即可顺序编写上位机软件。现在简介该控件的各项参数:

CommPort——指定串行口;

PortOpen——串口是否打开;

InPut——输入寄存器;

Output——输出寄存器;

InBufferSize——输入缓冲区大小;

OutBufferSize——输出缓冲区大小;

InputLen——一次由串行端口读入字符串长度或字节个数;

Settings——设备波特率、传输数据位、校验位、停止位;

InputMode——输入的是数据类型 (文字形式或是二进制形式)。

上位机程序要和下位机配合起来。主要须考虑的问题是波特率、输入输出数据类型。对

于从下位机到上位机输出数据的情况，可作以下处理（反之类似）：

Settings 115200, n,8,1（波特率 115 200bps，校验位默认，8 位数据位，1 个停止位）

对于上位机，将输入的数据以二进制数形式获取要通过以下的转换：

```
Dim data() As Byte
Private Sub Timer1_Timer()
data()=MSComm1.Input
For i=LBound(data)To UBound(data)
Text2.Text=data(i)
Next
End Sub
```

在串口打开的情况下，利用定时器定时从下位机获取数据，显示在窗口中。通过设置 VB 定时器控件的 interval 参数来控制读取时间。可见，上位机利用 VB 编写程序，十分方便，这是一种成熟的模块化语言，只要把参数给定，很快可以实现编程。

### 3 下位机通信程序编写

MAXPLUSII 里有许多常用的宏单元，如计数器、四则运算、各类逻辑门乃至 ROM、RAM 等；而在这些宏单元里具体的参数都可以由用户来自行设定，这就是上面提到的 IP 核形式。由于 CPLD 数字设计中结构化设计的趋势，不同层次的 IP（intellectual Property）核将出现。各个 IP 核可重复利用，大大提高了设计能力和效率，避免了重复劳动。以下设计的是下位机的 IP 核，它是一个波特率、起始位、停止位均可设定的宏单元。

MAXPLUSII 的 AHDL（Altera Hardware Description Language）是 Altera 公司开发的完全集成于 MAXPLUSII 中的一种模块化高级语言，特别适合于描述复杂的组合逻辑、组运算、状态机和真值表。本文利用 AHDL，直接生成 IP 核。

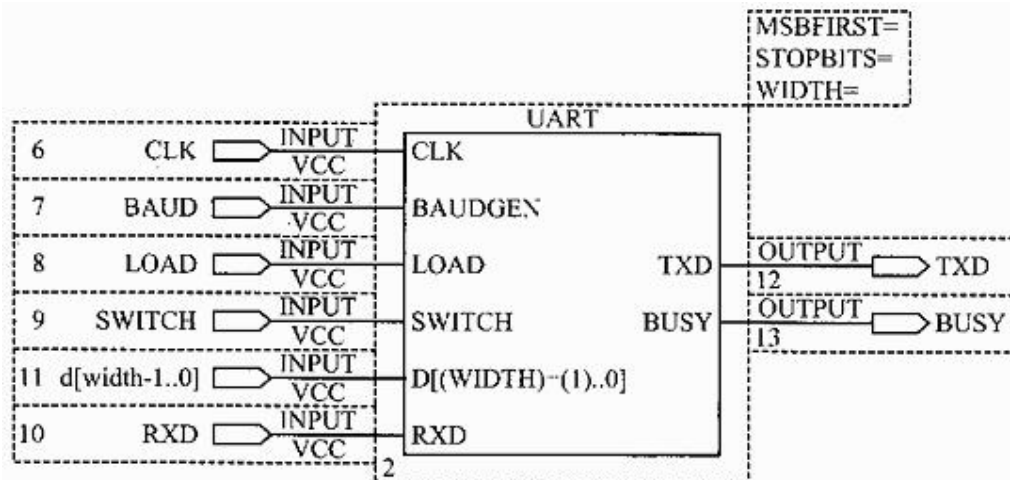
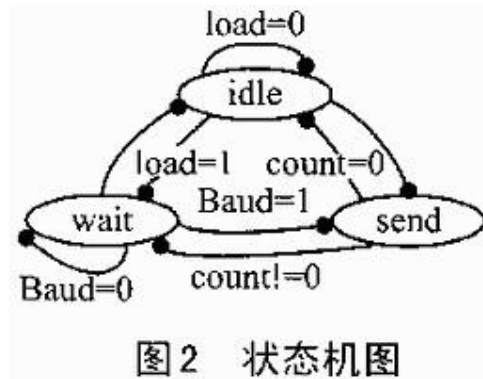


图 1 UART 模块封装外观图

设计的最终目标是生成如图 1 所示的 Symbol。其参数可以由用户设定（如图 1 的右上角），选择先送（收）串行数据最高位或最低位、数据宽度、停止位等。

设计思想是利用状态机的 3 种状态 send(receive)、wait、idle，系统时钟为输入的 CLK，在这 3 种状态间变换。而 BAUD 为 CLK 分频后的波特率时间。发送时，当 BAUD 上升沿时，输出 1 位串行数据。输出全部结束时，BUSY 端出现低电平信号，这时利用 LOAD 信号可以从 D 端读取并入的数据。由于使用的是 AHDL，这种状态机实现起来非常方便，程序简洁明了。图 2 所示为状态机图。



程序清单如下:

```

CASE Ss IS --状态机
WHEN idle =>
IF Load THEN
Ss=wait;
ELSE
Ss=idle;
END IF;
WHEN wait =>
IF Baud THEN
Ss=send;
ELSE
Ss=wait;
END IF;
WHEN send =>
IF count[]!=0 THEN
Ss=wait;
ELSE
Ss=idle;
END IF;
WHEN OTHERS =>
Ss=idle;
END CASE;
TxD=InShift[WIDTH+1]; --TXD 串出
IF Ss!=idle THEN --控制 BUSY
Busy=VCC;
END IF;
CASE Ss IS
WHEN idle =>
count[]=WIDTH+STOP_BITS; --等传送的位数
WHEN send =>
count[ ]=count[ ]-1;
WHEN OTHERS =>
Count[]=count[];
  
```

```

END CASE;
CASE Ss IS --控制输入寄存器
WHEN idle =>
IF MSB_FIRST= "YES"GENERATE
DTMP[]=D[];
ELSE GENERATE
FOR each_bit IN 0 TO WIDTH-1 GENERATE
DTMP[WIDTH-1-each_bit]=D[each_bit];
END GENERATE;
END GENERATE;
InShift[]=(1,0,DTMP[]);
WHEN send =>
InSift[WIDTH+1..1]=InShift[WIDTH..0];
InShift[0]=VCC;
WHEN OTHERS=>
InShift[]=InShift[];
END CASE;

```

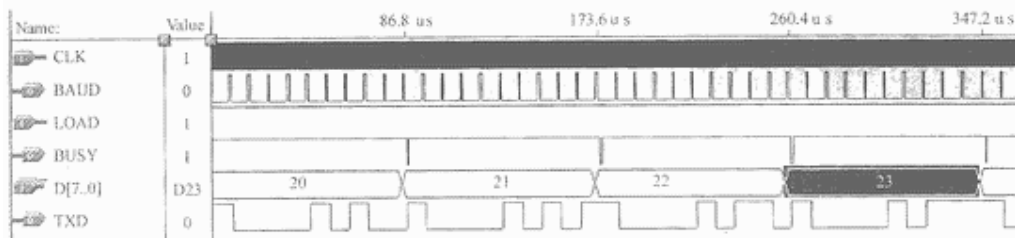


图3 仿真结果

图3为仿真波形，系统时钟CLK为6MHz，50分频后得到周期为868ns的时钟BAUD，即波特率为115200bps。设定为从高位到低位依次传送：起始位1位，低电平；8位数据位，1个停止位，为高电平。图3中显示分别传送十进制数20、21、22、23（即二进制数00010100000101010001011000010111）的情况，LOAD信号一直有效。可见，传送1个数据总共有10位，1个起始位、8个数据位、1个停止位。按照波特率115200bps，传送1个数据需要的时间为86.8μs。这个数度充分体现了CPLD的优势，比单片机MCU串行传输要快上10倍以上。如果上位机UART允许，这个速度还可以增大到接近MCU串行传输的100倍，即波特率为921600bps。

设计完成通过仿真以后，通过编程电磁将生成的pof文件用ISP（在线编程）方式下载到CPLD板EPM7128LC84-6，外接RS-232电平转换芯片HIN232CP。经过电平转换，CPLD和PC机接口通信，上位机用VB编写程序。试验证明，在高速情况下，通信正常。

本文内容来自互联网，著作权归原作者所有。由电子零件城（<http://www.epcity.com/>）整理并制作成PDF文件，仅供个人学习之用，不得用于任何商业目的，否则后果自负。如果您认为本PDF文件侵犯了您的任何权利，请来信[epcity@epcity.com](mailto:epcity@epcity.com)通知，本站立即删除。

搜集整理：电子零件城-笨笨兔（QQ：154502842） 2004-04-10